TXB0104-Q1 带自动方向感应和 ±15kV ESD 保护功能的 4 位双向电压电平转换器

1 特性

- 符合汽车应用要求
- 具有符合 AEC-Q100 标准的下列特性
  - 器件温度 1 级：–40°C 至 +125℃ 环境温度范围
- A 端口支持 1.2V 至 3.6V 电压，B 端口支持 1.65V 至 5.5V 电压 ($V_{CCA} \leq V_{CCB}$)
- V_{CC} 隔离特性 – 如果任何一个 V_{CC} 输入在接地，所有输出均处于高阻抗状态
- 以 V_{CCA} 为基准的输出使能 (OE) 输入电路
- I_{off} 支持局部关断模式运行
- 闩锁性能超过 100mA，符合 JESD 78 II 类规范的要求
- ESD 保护性能超过 JESD 22 规范要求
  - A 端口
    - ±2500V 人体放电模型 (A114-B)
    - ±1000V 充电器件模型 (C101)
  - B 端口
    - ±15000V 人体放电模型 (A114-B)
    - ±1000V 充电器件模型 (C101)

2 应用

- 汽车信息娱乐系统
- 高级驾驶辅助系统 (ADAS)
- 远程信息处理

3 说明

电压电平转换器解决了在同一电路板上同时使用不同电源电压电平所带来的挑战。这个 4 位同相转换器使用两个独立的可配置电源轨。A 端口设计用于跟踪 V_{CCA}。VCCA 可接受 1.2V 至 3.6V 范围内的任意电源电压。B 端口设计用于跟踪 V_{CCB}。VCCB 可接受 1.65V 至 5.5V 范围内的任意电源电压。这使得该器件可在 1.2V、1.5V、1.8V、2.5V、3.3V 和 5V 电压节点之间任意进行通用低压双向转换。V_{CCA} 不应超过 V_{CCB}。

当输出使能端 (OE) 输入为低电平时，所有输出都被置于高阻态。为确保在上电或掉电期间均处于高阻抗状态，应将 OE 通过下拉电阻器接地；该电阻其的最小值取决于驱动器的拉电流能力。

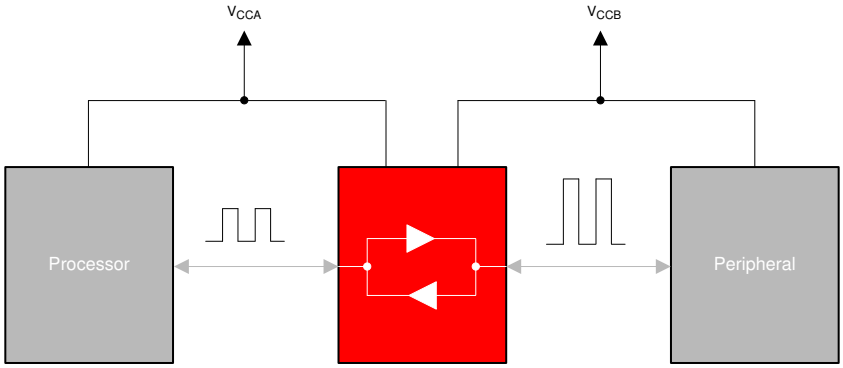
TXB0104 被设计成由 V_{CCA} 为 OE 输入电路供电。

该器件完全符合使用 I_{off} 的部分断电应用的规范要求。I_{off} 电路禁用输出，从而可防止其断电时破坏性电流从该器件回流。

器件信息

器件型号(1)	封装	封装尺寸（标称值）
TXB0104-Q1	TSSOP (14)	5.00mm x 4.40mm
	VQFN (14)	3.50mm x 3.50mm
	UQFN (12)	2.00 mm x 1.70 mm

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。



TXB010X 典型应用方框图

内容

1 特性.....1
2 应用.....1
3 说明.....1
4 修订历史记录.....2
5 引脚配置和功能.....3
6 规格.....4
6.1 绝对最大额定值.....4
6.2 ESD 等级.....4
6.3 建议运行条件.....4
6.4 热性能信息.....5
6.5 电气特性.....5
6.6 时序要求：V_{CCA} = 1.2 V.....6
6.7 时序要求：V_{CCA} = 1.5V ± 0.1V.....6
6.8 时序要求：V_{CCA} = 1.8V ± 0.15V.....6
6.9 时序要求：V_{CCA} = 2.5V ± 0.2V.....7
6.10 时序要求：V_{CCA} = 3.3V ± 0.3V.....7
6.11 开关特性：V_{CCA} = 1.2 V.....7
6.12 开关特性：V_{CCA} = 1.5V ± 0.1V.....7
6.13 开关特性：V_{CCA} = 1.8V ± 0.15V.....8
6.14 开关特性：V_{CCA} = 2.5V ± 0.2V.....8
6.15 开关特性：V_{CCA} = 3.3V ± 0.3V.....8
6.16 工作特性.....10
6.17 典型特性.....10
7 参数测量信息.....12
8 详细说明.....13
8.1 概述.....13
8.2 功能方框图.....13
8.3 特性说明.....13
8.4 器件功能模式.....15
9 应用和实施.....16
9.1 应用信息.....16
9.2 典型应用.....16
10 电源相关建议.....18
11 布局.....18
11.1 布局指南.....18
11.2 布局示例.....18
12 器件和文档支持.....19
12.1 Receiving Notification of Documentation Updates.....19
12.2 支持资源.....19
12.3 商标.....19
12.4 静电放电警告.....19
12.5 术语表.....19
13 机械、封装和可订购信息.....19

4 修订历史记录

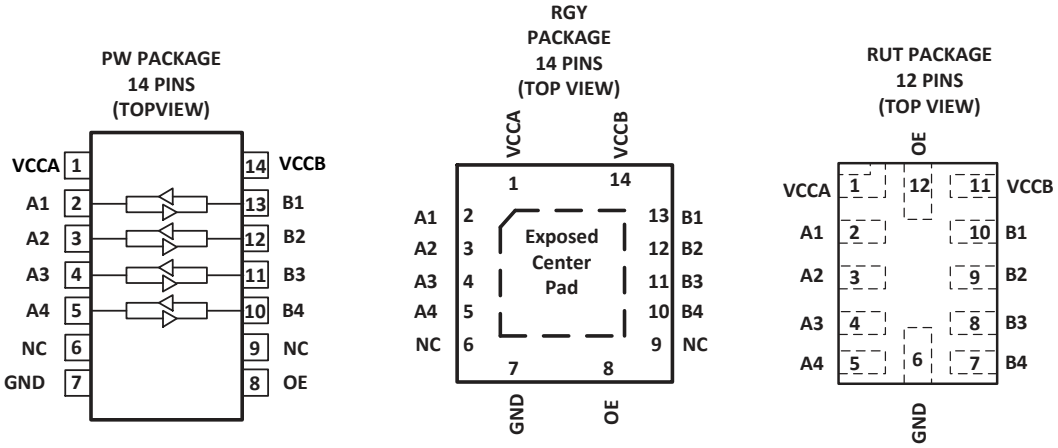
Changes from Revision A (October 2014) to Revision B (June 2023) **Page**

- 更新了整个文档中的表格、图和交叉参考的编号格式.....1

Changes from Revision * (June 2008) to Revision A (October 2014) **Page**

- 新增了 *ESD 等级* 表、*特性说明* 部分、*器件功能模式*、*应用和实现* 部分、*电源相关建议* 部分、*布局* 部分、*器件和文档支持* 部分以及 *机械、封装和可订购信息* 部分.....1

5 引脚配置和功能



NC - 无内部连接

对于 RGY，如果使用外露的中央散热焊盘，则只能将其作为次级接地连接或保持电气开路状态。

表 5-1. 引脚功能

引脚		I/O	说明
编号	名称		
1	VCCA	I	A 端口电源电压 1.2V ≤ V_{CCA} ≤ 3.6V 且 V_{CCA} ≤ V_{CCB}。
2	A1	I/O	输入/输出 1。以 V_{CCA} 为基准。
3	A2	I/O	输入/输出 2。以 V_{CCA} 为基准。
4	A3	I/O	输入/输出 3。以 V_{CCA} 为基准。
5	A4	I/O	输入/输出 4。以 V_{CCA} 为基准。
6	NC	–	无连接。无内部连接。
7	GND	-	接地
8	OE	I	三态输出模式使能。将 OE 引脚拉为低电平，使所有输出处于三态模式。以 V_{CCA} 为基准。
9	NC	–	无连接。无内部连接。
10	B4	I/O	输入/输出 4。以 V_{CCB} 为基准。
11	B3	I/O	输入/输出 3。以 V_{CCB} 为基准。
12	B2	I/O	输入/输出 2。以 V_{CCB} 为基准。
13	B1	I/O	输入/输出 1。以 V_{CCB} 为基准。
14	VCCB	I	B 端口电源电压 1.65V ≤ V_{CCB} ≤ 5.5V。

6 规格

6.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

			最小值	最大值	单位
V_{CCA}	电源电压		-0.5	4.6	V
V_{CCB}			-0.5	6.5	
V_I	输入电压	A 端口	-0.5	4.6	V
		B 端口	-0.5	6.5	
V_O	施加到任一处于高阻抗或断电状态输出的电压	A 端口	-0.5	4.6	V
		B 端口	-0.5	6.5	
V_O	施加到任一处于高电平或低电平状态输出的电压(2)	A 端口	-0.5	V_{CCA} + 0.5	V
		B 端口	-0.5	V_{CCB} + 0.5	
I_{IK}	输入钳位电流	V_I < 0		-50	mA
I_{OK}	输出钳位电流	V_O < 0		-50	mA
I_O	持续输出电流			±50	mA
	通过 V_{CCA}、V_{CCB} 或 GND 的连续电流			±100	mA
T_{stg}	贮存温度		-65	150	°C

(1) 超出“最大绝对额定值”下列出的值可能会对器件造成永久损坏。这些仅为在额定值下的工作情况，对于额定值下或者在超出“推荐的操作条件”下的任何其它情况下的器件功能性操作，在此并未说明。器件长时间工作在绝对最大值条件下，其可靠性可能受到影响。
(2) 建议运行条件表中提供了 V_{CCA} 和 V_{CCB} 的值。

6.2 ESD 等级

				值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 JEDEC 标准	A 端口	±2500	V
			B 端口	±15000	
		充电器件模型 (CDM)，符合 JEDEC 标准	A 端口	±1000	
			B 端口	±1000	

6.3 建议运行条件

(1) (2)			V_{CCA}	V_{CCB}	最小值	最大值	单位
V_{CCA}	电源电压				1.2	3.6	V
V_{CCB}					1.65	5.5	
V_{IH}	高电平输入电压	数据输入	1.2V 至 3.6V	1.65V 至 5.5V	V_{CCI} × 0.65(3)	V_{CCI}	V
		OE	1.2V 至 3.6V	1.65V 至 5.5V	V_{CCA} × 0.65	5.5	
V_{IL}	低电平输入电压	数据输入	1.2V 至 5.5V	1.65V 至 5.5V	0	V_{CCI} × 0.35(3)	V
		OE	1.2V 至 3.6V	1.65V 至 5.5V	0	V_{CCA} × 0.35	
V_O	在高阻抗或断电状态对任一输出施加的电压范围	A 端口	1.2V 至 3.6V	1.65V 至 5.5V	0	3.6	V
		B 端口			0	5.5	
Δt/Δv	输入转换上升或下降速率	A 端口输入	1.2V 至 3.6V	1.65V 至 5.5V		40	ns/V
		B 端口输入	1.2V 至 3.6V	1.65V 至 3.6V		40	
				4.5V 至 5.5V		30	
T_A	自然通风工作温度				-40	125	°C

(1) 未使用的数据 I/O 对的 A 侧和 B 侧必须保持相同状态，即都处于 V_{CCI} 或 GND。
(2) V_{CCA} 必须小于或等于 V_{CCB}，并且不得超过 3.6V。

(3) V_{CCI} 是与输入端口相关的电源电压。

6.4 热性能信息

热指标(1)		TXB0104-Q1			单位
		PW	RGY	RUT	
		14 引脚	14 引脚	12 引脚	
$R_{\theta JA}$	结至环境热阻	121	52.8	119.8	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	50	67.7	42.6	
$R_{\theta JB}$	结至电路板热阻	62.8	28.9	52.5	
ψ_{JT}	结至顶部特征参数	6.4	2.6	0.7	
ψ_{JB}	结至电路板特征参数	62.2	29.0	52.3	
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	不适用	9.3	不适用	

(1) 有关新旧热指标的更多信息，请参阅 *IC 封装热指标* 应用报告 SPRA953。

6.5 电气特性

在推荐的自然通风条件下的工作温度范围内测得（除非另外注明）(1) (2)

参数		测试条件	V_{CCA}	V_{CCB}	T_A = 25°C			–40°C 至 125°C			单位
					最小值	典型值	最大值	最小值	典型值	最大值	
V_{OHA}		I_{OH}=-20 μA	1.2V			1.1					V
			1.4V 至 3.6V					V_{CCA} – 0.4			
V_{OLA}		I_{OL} = 20 μA	1.2V			0.9					V
			1.4V 至 3.6V							0.4	
V_{OHB}		I_{OH}=-20 μA		1.65V 至 5.5V				V_{CCB} – 0.4			V
V_{OLB}		I_{OL} = 20 μA		1.65V 至 5.5V						0.4	V
I_I	OE	V_I = V_{CCI} 或 GND	1.2V 至 3.6V	1.65V 至 5.5V			±1			±5	μA
$I_{关闭}$	A 端口	V_I 或 V_O = 0V 至 3.6V	0V	0V 至 5.5V			±1			±10	μA
	B 端口	V_I 或 V_O = 0V 至 5.5 V	0V 至 3.6 V	0V			±1			±10	
I_{OZ}	A 或 B 端口	OE = GND	1.2V 至 3.6V	1.65V 至 5.5V			±1			±10	μA
I_{CCA}		V_I = V_{CCI} 或 GND，I_O = 0	1.2V	1.65V 至 5.5V		0.06					μA
			1.4V 至 3.6V	1.65V 至 5.5V						20	
			3.6V	0V						15	
			0V	5.5V						-15	
I_{CCB}		V_I = V_{CCI} 或 GND，I_O = 0	1.2V	1.65V 至 5.5V		3.4					μA
			1.4V 至 3.6V	1.65V 至 5.5V						20	
			3.6V	0V						-15	
			0V	5.5V						15	
I_{CCA} + I_{CCB}		V_I = V_{CCI} 或 GND，I_O = 0	1.2V	1.65V 至 5.5V		3.5					μA
			1.4V 至 3.6V	1.65V 至 5.5V						40	
I_{CCZA}		V_I = V_{CCI} 或 GND，I_O = 0，OE = GND	1.2V	1.65V 至 5.5V		0.05					μA
			1.4V 至 3.6V	1.65V 至 5.5V						15	
I_{CCZB}		V_I = V_{CCI} 或 GND，I_O = 0，OE = GND	1.2V	1.65V 至 5.5V		3.3					μA
			1.4V 至 3.6V	1.65V 至 5.5V						15	

6.5 电气特性 (continued)

在推荐的自然通风条件下的工作温度范围内测得（除非另外注明）(1) (2)

参数		测试条件	V_{CCA}	V_{CCB}	T_A = 25°C			–40°C 至 125°C			单位
					最小值	典型值	最大值	最小值	典型值	最大值	
C_i	OE	PW、RGY 封装	1.2V 至 3.6V	1.65V 至 5.5V		3					pF
		RUT 封装	1.2V 至 3.6V	1.65V 至 5.5V		4					pF
C_{io}	A 端口	PW、RGY 封装	1.2V 至 3.6V	1.65V 至 5.5V		5					pF
		RUT 封装				6					pF
	B 端口	PW、RGY 封装				11					pF
		RUT 封装				13					pF

(1) V_{CCI} 是与输入端口相关的电源电压。
(2) V_{CCO} 是与输出端口相关的电源电压。

6.6 时序要求：V_{CCA} = 1.2 V

T_A = 25°C，V_{CCA} = 1.2V

			V_{CCB} = 1.8 V	V_{CCB} = 2.5 V	V_{CCB} = 3.3 V	V_{CCB} = 5V	单位
			典型值	典型值	典型值	典型值	
	数据速率	对于 PW、RGY、RUT 封装	20	20	20	20	Mbps
t_w	脉冲持续时间	数据输入	50	50	50	50	ns

6.7 时序要求：V_{CCA} = 1.5V ± 0.1V

在推荐的自然通风条件下的工作温度范围内测得，V_{CCA} = 1.5V ± 0.1V（除非另有说明）

			V_{CCB} = 1.8V ± 0.15V		V_{CCB} = 2.5V ± 0.2V		V_{CCB} = 3.3V ± 0.3V		V_{CCB} = 5 V ± 0.5 V		单位
			最小值	最大值	最小值	最大值	最小值	最大值	最小值	最大值	
	数据速率	对于 PW、RGY 封装	40		40		40		40		Mbps
		对于 RUT 封装	37		37		40		40		Mbps
t_w	脉冲持续时间	数据输入，对于 PW、RGY 封装	25		25		25		25		ns
		数据输入，对于 RUT 封装	27		27		25		25		ns

6.8 时序要求：V_{CCA} = 1.8V ± 0.15V

在推荐的自然通风条件下的工作温度范围内测得，V_{CCA} = 1.8V ± 0.15V（除非另有说明）

			V_{CCB} = 1.8V ± 0.15V		V_{CCB} = 2.5V ± 0.2V		V_{CCB} = 3.3V ± 0.3V		V_{CCB} = 5 V ± 0.5 V		单位
			最小值	最大值	最小值	最大值	最小值	最大值	最小值	最大值	
	数据速率	对于 PW、RGY 封装	55		55		55		55		Mbps
		对于 RUT 封装	37		37		55		55		Mbps
t_w	脉冲持续时间	数据输入，对于 PW、RGY 封装	18		18		18		18		ns
		数据输入，对于 RUT 封装	27		27		18		18		ns

6.9 时序要求：V_{CCA} = 2.5V ± 0.2V

在推荐的自然通风条件下的工作温度范围内测得，V_{CCA} = 2.5V ± 0.2V（除非另有说明）

		V_{CCB} = 2.5V ± 0.2V		V_{CCB} = 3.3V ± 0.3V		V_{CCB} = 5 V ± 0.5 V		单位
		最小值	最大值	最小值	最大值	最小值	最大值	
数据速率	对于 PW、RGY 封装		75		80		100	Mbps
	对于 RUT 封装		65		80		85	Mbps
t_w 脉冲持续时间	数据输入，对于 PW、RGY 封装	13		12		10		ns
	数据输入，对于 RUT 封装	15		12		11		ns

6.10 时序要求：V_{CCA} = 3.3V ± 0.3V

在推荐的自然通风条件下的工作温度范围内测得，V_{CCA} = 3.3V ± 0.3V（除非另有说明）

		V_{CCB} = 3.3V ± 0.3V		V_{CCB} = 5 V ± 0.5 V		单位
		最小值	最大值	最小值	最大值	
数据速率	对于 PW、RGY 封装		100		100	Mbps
	对于 RUT 封装		90		90	Mbps
t_w 脉冲持续时间	数据输入，对于 PW、RGY 封装	10		10		ns
	数据输入，对于 RUT 封装	11		11		ns

6.11 开关特性：V_{CCA} = 1.2 V

T_A = 25°C，V_{CCA} = 1.2V

参数	从（输入）	到（输出）	V_{CCB} = 1.8 V	V_{CCB} = 2.5 V	V_{CCB} = 3.3 V	V_{CCB} = 5V	单位
			典型值	典型值	典型值	典型值	
t_{pd}	A	B	6.9	5.7	5.3	5.5	ns
	B	A	7.4	6.4	6	5.8	
t_{en}	OE	A	1	1	1	1	µs
		B	1	1	1	1	
t_{dis}	OE	A	320	320	320	330	ns
		B	150	110	150	110	
t_{rA}，t_{fA}	A 端口上升和下降时间		4.2	4.2	4.2	4.2	ns
t_{rB}，t_{fB}	B 端口上升和下降时间		2.1	1.5	1.2	1.1	ns

6.12 开关特性：V_{CCA} = 1.5V ± 0.1V

在推荐的自然通风条件下的工作温度范围内测得，V_{CCA} = 1.5V ± 0.1V（除非另有说明）

参数	从（输入）	到（输出）	V_{CCB} = 1.8V ± 0.15V		V_{CCB} = 2.5V ± 0.2V		V_{CCB} = 3.3V ± 0.3V		V_{CCB} = 5 V ± 0.5 V		单位
			最小值	最大值	最小值	最大值	最小值	最大值	最小值	最大值	
t_{pd}	A	B	15.9		13.1		13		12.9		ns
	B	A	17.2		15		14.7		16.7		
t_{en}	OE	A	1		1		1		1		µs
		B	1		1		1		1		
t_{dis}	OE	A	340		280		280		300		ns
		B	220		220		220		220		
t_{rA}，t_{fA}	A 端口上升和下降时间		7.1		7.1		7.1		7.1		ns

6.12 开关特性：V_{CCA} = 1.5V ± 0.1V (continued)

在推荐的自然通风条件下的工作温度范围内测得，V_{CCA} = 1.5V ± 0.1V（除非另有说明）

参数	从（输入）	到（输出）	V_{CCB} = 1.8V ± 0.15V		V_{CCB} = 2.5V ± 0.2V		V_{CCB} = 3.3V ± 0.3V		V_{CCB} = 5 V ± 0.5 V		单位
			最小值	最大值	最小值	最大值	最小值	最大值	最小值	最大值	
t_{rB}，t_{fB}	B 端口上升和下降时间			6.5		5.2		4.8		4.7	ns

6.13 开关特性：V_{CCA} = 1.8V ± 0.15V

在推荐的自然通风条件下的工作温度范围内测得，V_{CCA} = 1.8V ± 0.15V（除非另有说明）

参数	从（输入）	到（输出）	V_{CCB} = 1.8V ± 0.15V		V_{CCB} = 2.5V ± 0.2V		V_{CCB} = 3.3V ± 0.3V		V_{CCB} = 5 V ± 0.5 V		单位
			最小值	最大值	最小值	最大值	最小值	最大值	最小值	最大值	
t_{pd}	A	B		14		10.7		9.8		9.5	ns
	B	A		15		11.4		10.6		10.1	
t_{en}	OE	A		1		1		1		1	µs
		B		1		1		1		1	
t_{dis}	OE	A		280		250		250		250	ns
		B		220		220		220		220	
t_{rA}，t_{fA}	A 端口上升和下降时间			6.2		6.1		6.1		6.1	ns
t_{rB}，t_{fB}	B 端口上升和下降时间			5.8		5.2		4.8		4.7	ns

6.14 开关特性：V_{CCA} = 2.5V ± 0.2V

在推荐的自然通风条件下的工作温度范围内测得，V_{CCA} = 2.5V ± 0.2V（除非另有说明）

参数	从（输入）	到（输出）	V_{CCB} = 2.5V ± 0.2V		V_{CCB} = 3.3V ± 0.3V		V_{CCB} = 5 V ± 0.5 V		单位
			最小值	最大值	最小值	最大值	最小值	最大值	
t_{pd}	A	B		9.3		8.2		7.7	ns
	B	A		9.6		8.1		7.4	
t_{en}	OE	A		1		1		1	µs
		B		1		1		1	
t_{dis}	OE	A		220		220		220	ns
		B		220		220		220	
t_{rA}，t_{fA}	A 端口上升和下降时间			5		5		5	ns
t_{rB}，t_{fB}	B 端口上升和下降时间			4.6		4.8		4.7	ns

6.15 开关特性：V_{CCA} = 3.3V ± 0.3V

在推荐的自然通风条件下的工作温度范围内测得，V_{CCA} = 3.3V ± 0.3V（除非另有说明）

参数	从（输入）	到（输出）	V_{CCB} = 3.3V ± 0.3V		V_{CCB} = 5 V ± 0.5 V		单位
			最小值	最大值	最小值	最大值	
t_{pd}	A	B		7.7		7	ns
	B	A		7.9		6.8	
t_{en}	OE	A		1		1	µs
		B		1		1	
t_{dis}	OE	A		280		280	ns
		B		220		220	

6.15 开关特性：V_{CCA} = 3.3V ± 0.3V (continued)

在推荐的自然通风条件下的工作温度范围内测得，V_{CCA} = 3.3V ± 0.3V（除非另有说明）

参数	从（输入）	到（输出）	V_{CCB} = 3.3V ± 0.3V		V_{CCB} = 5 V ± 0.5 V		单位
			最小值	最大值	最小值	最大值	
t_{rA}，t_{fA}	A 端口上升和下降时间			4.5		4.5	ns
t_{rB}，t_{fB}	B 端口上升和下降时间			4.1		4.7	ns

6.16 工作特性

T_A = 25°C (1)

参数		测试条件	V_{CCA}							单位
			1.2V	1.2V	1.5V	1.8V	2.5V	2.5V	3.3V	
			V_{CCB}							
			5V	1.8V	1.8V	1.8V	2.5V	5V	3.3V 至 5V	
			典型值	典型值	典型值	典型值	典型值	典型值	典型值	
C_{pdA}	A 端口输入，B 端口输出	C_L = 0，f = 10MHz，$t_r = t_f$ = 1ns，OE = V_{CCA}（输出已启用）	7.8	10	9	8	8	8	9	pF
	B 端口输入，A 端口输出		12	11	11	11	11	11	11	
C_{pdB}	A 端口输入，B 端口输出		38.1	28	28	28	29	29	29	
	B 端口输入，A 端口输出		25.4	19	18	18	19	21	22	
C_{pdA}	A 端口输入，B 端口输出	C_L = 0，f = 10MHz，$t_r = t_f$ = 1ns，OE = GND（输出已启用）	0.01	0.01	0.01	0.01	0.01	0.01	0.01	pF
	B 端口输入，A 端口输出		0.01	0.01	0.01	0.01	0.01	0.01	0.01	
C_{pdB}	A 端口输入，B 端口输出		0.01	0.01	0.01	0.01	0.01	0.01	0.03	
	B 端口输入，A 端口输出		0.01	0.01	0.01	0.01	0.01	0.01	0.04	

(1) CPD 参数是用于根据公式确定 CMOS 器件每个逻辑函数的空载动态功率耗散的电容：$P_D = C_{pd} (V_{CC})^2 + I_{CC}V_{CC}$。有关使用 C_{pd} 计算功率耗散的更多详细信息，请参阅 SCAA035。

6.17 典型特性

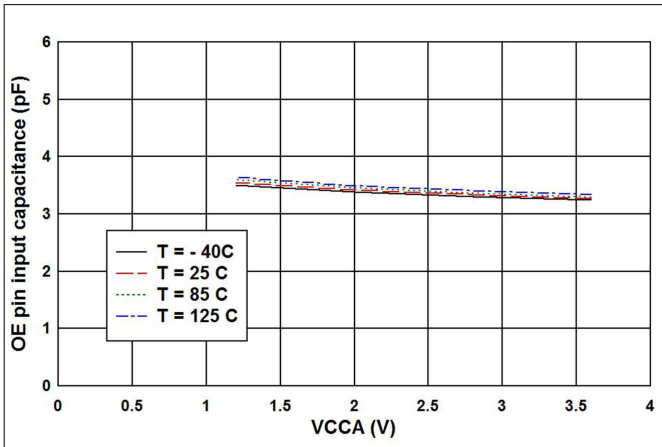


图 6-1. OE 引脚的输入电容 (C_I) 与 V_{CCB} = 3.3V 时的电源电压 (V_{CCA}) 间的关系（RUT 封装）

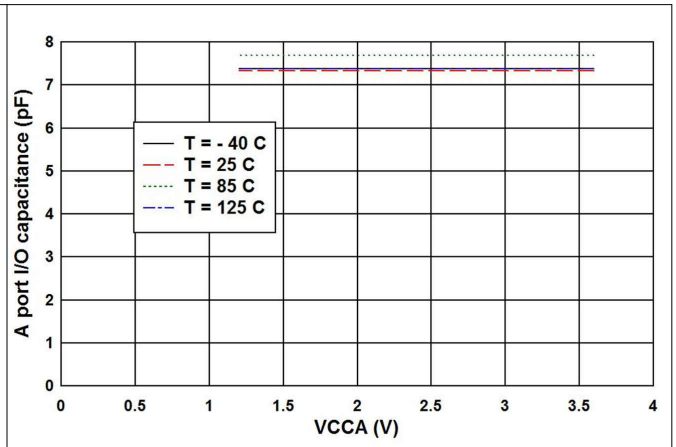


图 6-2. A 端口 I/O 引脚的电容 (C_{iO}) 与 V_{CCB} = 3.3V 时的电源 (V_{CCA}) 间的关系（RUT 封装）

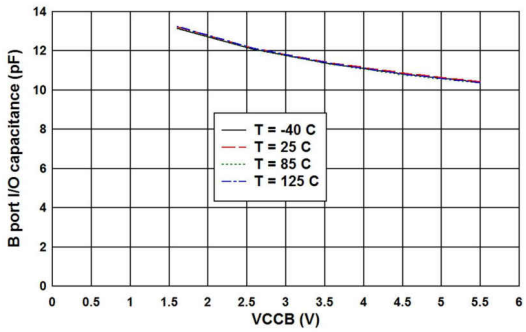
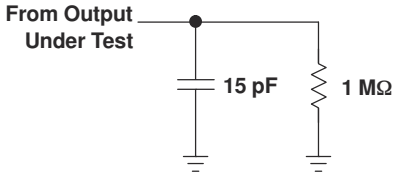
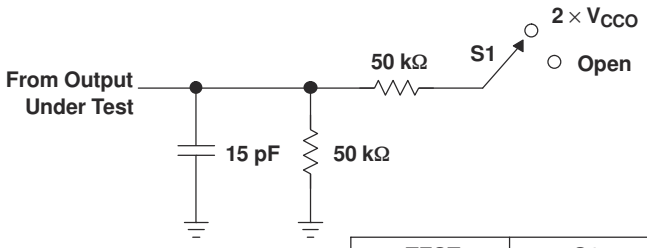


图 6-3. B 端口 I/O 引脚的电容 (C_{iO}) 与 V_{CCA} = 3.3V 时的电源 (V_{CCB}) 间的关系（RUT 封装）

7 参数测量信息

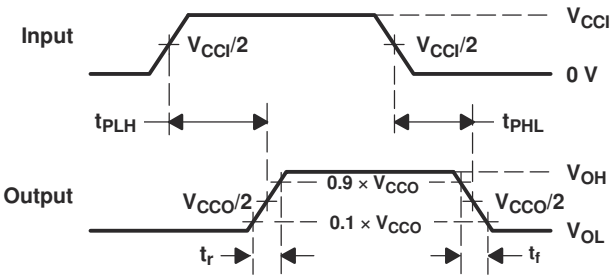


LOAD CIRCUIT FOR MAX DATA RATE, PULSE DURATION PROPAGATION DELAY OUTPUT RISE AND FALL TIME MEASUREMENT

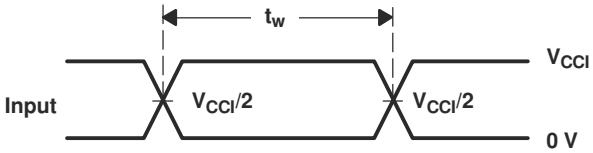


LOAD CIRCUIT FOR ENABLE/DISABLE TIME MEASUREMENT

TEST	S1
t_{PZL}/t_{PLZ} t_{PHZ}/t_{PZH}	$2 \times V_{CCO}$ Open



VOLTAGE WAVEFORMS PROPAGATION DELAY TIMES



VOLTAGE WAVEFORMS PULSE DURATION

A. C_L includes probe and jig capacitance.
B. All input pulses are supplied by generators having the following characteristics: PRR ≤ 10 MHz, Z_O = 50 Ω, dv/dt ≥ 1 V/ns.
C. The outputs are measured one at a time, with one transition per measurement.
D. t_{PLH} and t_{PHL} are the same as t_{pd}.
E. V_{CCI} is the V_{CC} associated with the input port.
F. V_{CCO} is the V_{CC} associated with the output port.
G. All parameters and waveforms are not applicable to all devices.

图 7-1. 负载电路和电压波形

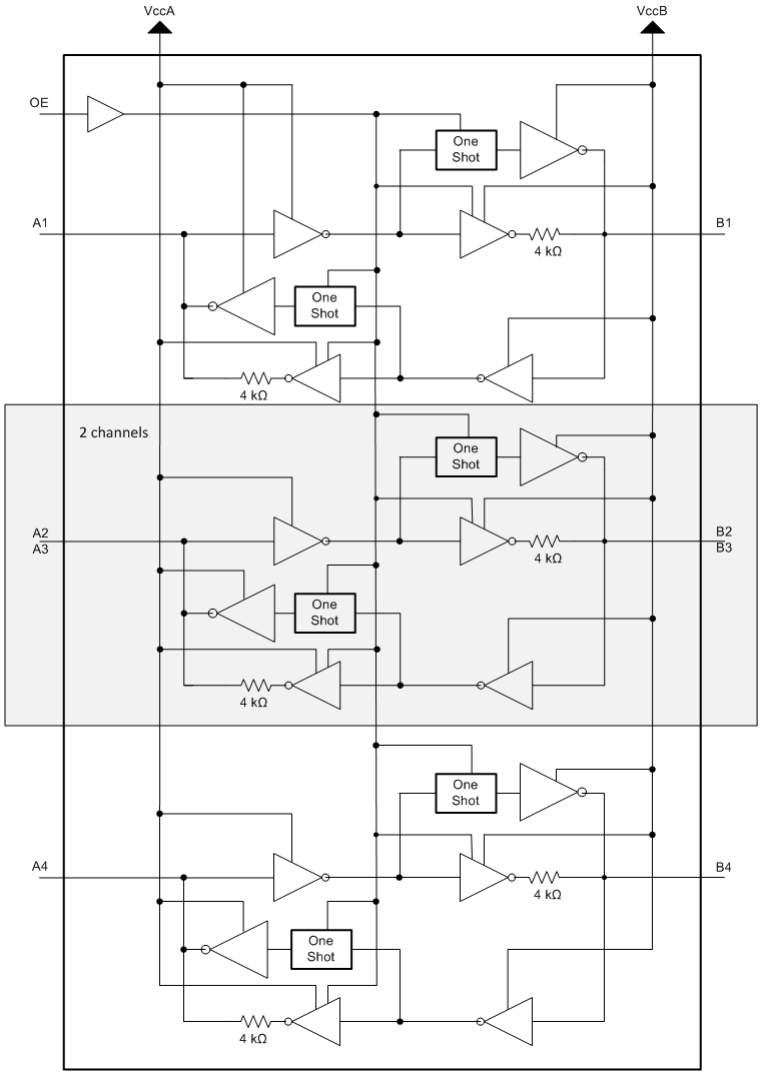
Copyright © 2023 Texas Instruments Incorporated

8 详细说明

8.1 概述

TXB0104 器件是专为转换逻辑电压电平而设计的 4 位无方向电压电平转换器。A 端口能够接受范围在 1.2V 至 3.6V 的 I/O 电压，而 B 端口能够接受 1.65V 至 5.5V 之间的 I/O 电压。此器件是缓冲架构，此架构具有边缘速率加速器（单稳态），以提升总体数据速率。此器件只能转换推挽 CMOS 逻辑输出。如需开漏信号转换，请参阅 TI 的 TXS010X 产品。

8.2 功能方框图



8.3 特性说明

8.3.1 架构

TXB0104 架构（请参阅 *节 8.2*）不需要方向控制信号来控制从 A 到 B 或从 B 到 A 的数据流方向。在直流状态下，TXB0104 的输出驱动器将保持高电平或低电平，但设计为较弱，因此当总线上的数据开始沿相反方向流动时，输出驱动器可由外部驱动器过驱。

输出单稳态检测 A 或 B 端口上的上升或下降沿。在上升沿期间，单稳态在短时间内开启 PMOS 晶体管（T1、T3），从而加快低电平至高电平转换。同样，在下降沿期间，单稳态在短时间内开启 NMOS 晶体管（T2、T4），从

而加快高电平至低电平转换。输出转换期间的典型输出阻抗为：V_{CCO} = 1.2V 至 1.8V 时为 70Ω，V_{CCO} = 1.8V 至 3.3V 时为 50Ω，V_{CCO} = 3.3V 至 5V 时为 40Ω。

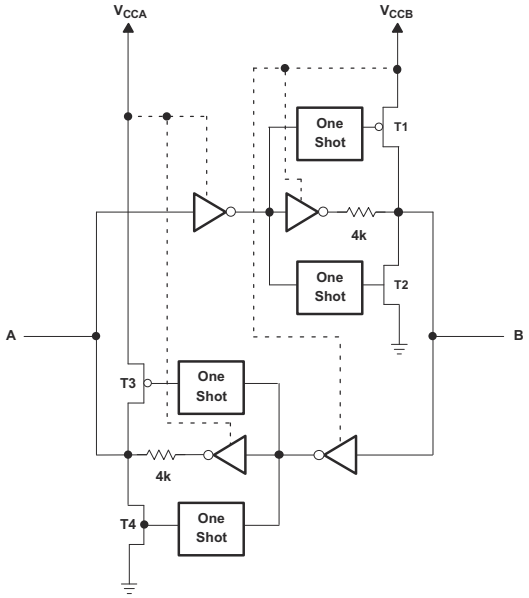


图 8-1. TXB0104 I/O 单元架构

8.3.2 输入驱动器要求

TXB0104 的典型 I_{IN} 与 V_{IN} 特性如图 8-2 所示。为确保正常运行，驱动 TXB0104 数据 I/O 的器件的驱动强度必须至少为 ±2mA。

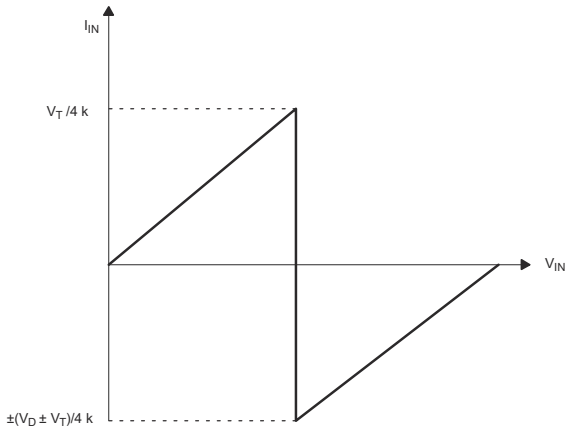


图 8-2. 典型 I_{IN} 与 V_{IN} 曲线

8.3.3 输出负载注意事项

TI 建议采用较短的 PCB 布线长度进行仔细的 PCB 布局，以避免过多容性负载并确保发生正确的单稳态 (O.S.) 触发。PCB 信号布线长度应保持足够短，以使任何反射的往返延迟小于单稳态持续时间。这可确保任何反射在驱动器处都遇到低阻抗，从而提高信号完整性。O.S. 电路设计为保持约 10ns 时间。可驱动的集总负载的最大电容也直接取决于单稳态持续时间。对于非常重的容性负载，在信号完全驱动到正电源轨之前，单稳态可能会超时。已设置 O.S. 持续时间，以在动态 I_{CC}、负载驱动能力和最大比特率这些注意事项之间实现更好的权衡。PCB 布线长度和连接器都增加了 TXB0104 输出的电容，因此建议考虑此集总负载电容，以避免 O.S. 再触发、总线争用、输出信号振荡或其他不利的系统级影响。

8.3.4 启用和禁用

TXB0104 具有 OE 输入，用于通过将 OE 设为低电平来禁用器件，从而将所有 I/O 置于高阻态 (Hi-Z)。禁用时间 (t_{dis}) 表示 OE 变为低电平与输出实际被禁用 (Hi-Z) 之间的延迟。启用时间 (t_{en}) 表示 OE 引脚为高电平之后，用户必须使单次电路变为可用的时间量。

8.3.5 I/O 线路上的上拉或下拉电阻

TXB0104 旨在驱动最高 70pF 的容性负载。TXB0104 的输出驱动器具有低直流驱动强度。如果上拉或下拉电阻在外部连接到数据 I/O，则其值必须保持高于 50kΩ，以确保不会与 TXB0104 的输出驱动器发生争用。

出于同样原因，TXB0104 不应用于 I^2C 或单线等应用，在这些应用中，开漏驱动器连接至双向数据 I/O。对于这些应用，请使用 TI 的 TXS01xx 系列电平转换器中的器件。

8.4 器件功能模式

TXB0104 器件有两种功能模式：启用和禁用。要禁用此器件，请将 OE 输入设置为低电平，这会将所有 I/O 置于高阻抗状态。将 OE 输入设置为高电平将启用此器件。

9 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规范，TI 不担保其准确性和完整性。TI 的客户应负责确定各元件是否适用于其应用。客户应验证并测试其设计实现，以确认系统功能。

9.1 应用信息

TXB0104 可在电平转换应用中用于将在不同接口电压下运行的器件或系统相互连接起来。它只能转换推挽 CMOS 逻辑输出。如需开漏信号转换，请参阅 TI 的 TXS010X 产品。建议使用大于 50kΩ 的任何外部下拉或上拉电阻。

9.2 典型应用

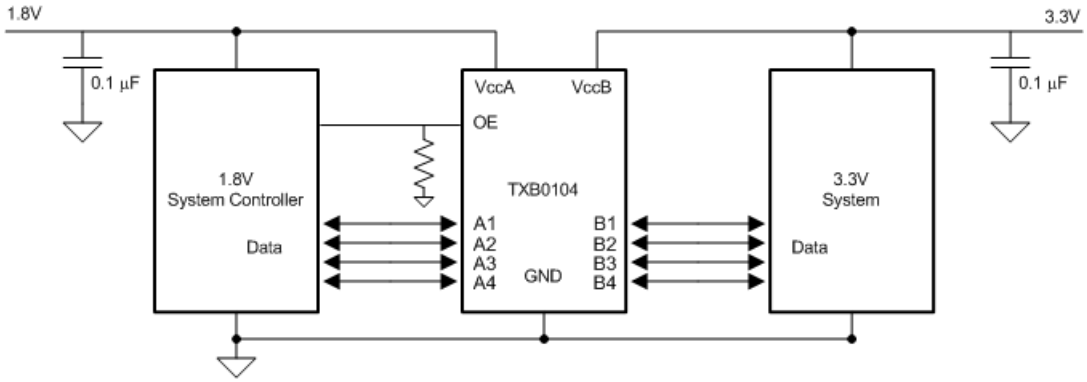


图 9-1. 典型应用原理图

9.2.1 设计要求

对于这个设计示例，请使用 表 9-1 中列出的参数。并确保 $V_{CCA} \leq V_{CCB}$。

表 9-1. 设计参数

设计参数	示例值
输入电压范围	1.2V 至 3.6V
输出电压范围	1.65V 至 5.5V

9.2.2 详细设计流程

要开始设计过程，请确定以下内容：

• 输入电压范围

- 使用驱动 TXB0104 器件的器件电源电压来确定输入电压范围。要获得一个有效的逻辑高电平，这个值必须超过输入端口的 V_{IH}。要获得一个有效的逻辑低电平，这个值必须小于输入端口的 V_{IL}。

• 输出电压范围

- 使用 TXB0104 器件正在驱动的器件电源电压来确定输出电压范围。

- 不建议使用外部上拉或下拉电阻。如果必须使用，建议此值应大于 50kΩ。

• 外部下拉或上拉电阻降低输出 V_{OH} 和 V_{OL}。使用以下公式来估算外部下拉和上拉电阻作用下的 V_{OH} 和 V_{OL}。

$$V_{OH} = V_{CCx} \times R_{PD} / (R_{PD} + 4.5k\Omega) \quad (1)$$

$$V_{OL} = V_{CCx} \times 4.5k\Omega / (R_{PU} + 4.5k\Omega) \quad (2)$$

其中

- V_{CCx} 是 V_{CCA} 或 V_{CCB} 的输出端口电源电压
- R_{PD} 是外部下拉电阻器的值
- R_{PU} 是外部上拉电阻的值
- 4.5kΩ 计算的是 I/O 线路中 4kΩ 串联电阻的变化

9.2.3 应用曲线

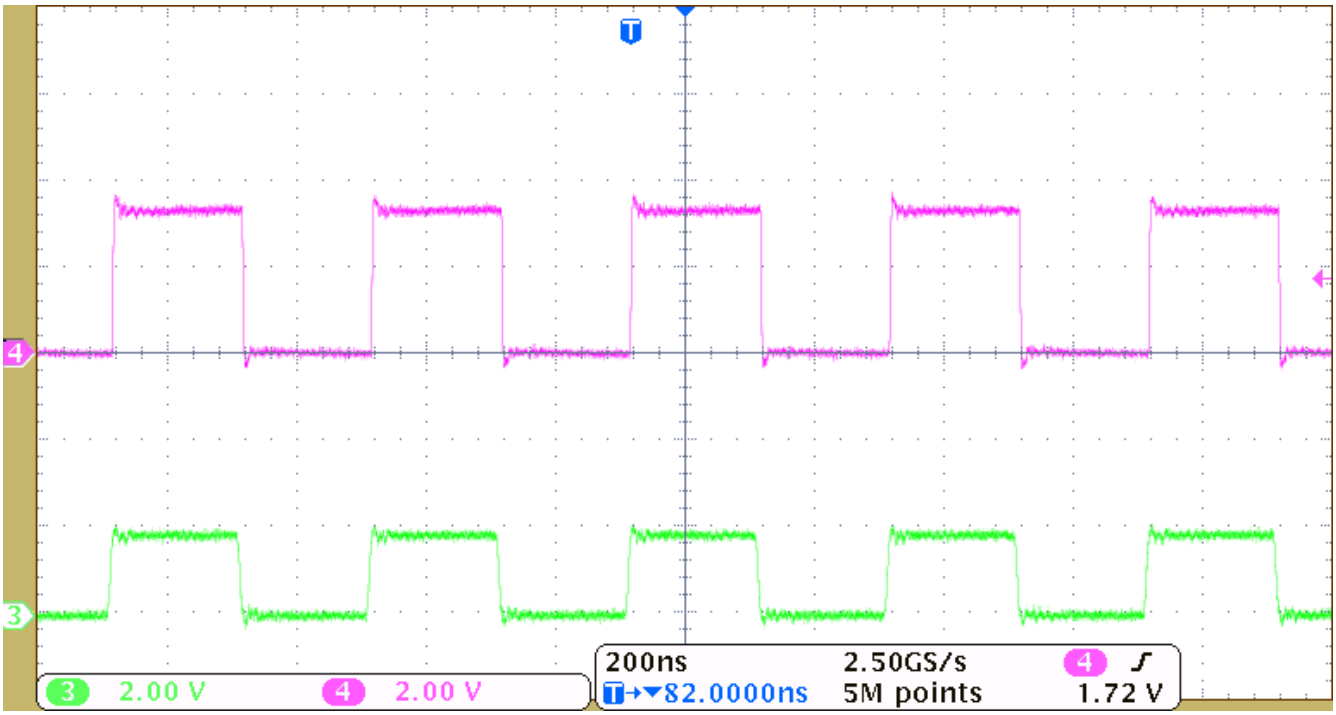


图 9-2. 2.5MHz 1.8V 信号（绿色）到 3.3V 信号（粉色）的电平转换示例

10 电源相关建议

运行期间，确保 V_{CCA} 始终小于等于 V_{CCB}。在上电时序期间，V_{CCA} 大于等于 V_{CCB} 不会损坏器件，因此任一电源都可以首先斜升。TXB0104 中的电路会在任一 V_{CC} 关闭 ($V_{CCA/B}$ = 0V) 时禁用所有输出端口。输出使能 (OE) 输入电路被设计成由 V_{CCA} 供电，并且当 (OE) 输入为低电平时，所有输出被置于高阻抗状态。为了确保输出在加电或断电期间为高阻抗状态，OE 输入引脚必须通过一个下拉电阻器接至 GND，并且在 V_{CCA} 和 V_{CCB} 完全斜升且稳定前一定不能被启用。对地下拉电阻器的最小值由驱动器的电流供源能力确定。

11 布局

11.1 布局指南

为确保器件的可靠性，建议按照以下常见印刷电路板布局布线指南进行操作：

- 应该在电源上使用旁路电容器。并且应尽可能靠近 VCCA、VCCB 引脚和 GND 引脚放置
- 为了避免过多负载，应该使用短布线。
- PCB 信号布线长度必须保持足够短，以使任何反射的往返延迟小于单稳态持续时间（约 10ns），从而确保任何反射在源驱动器处都遇到低阻抗。

11.2 布局示例

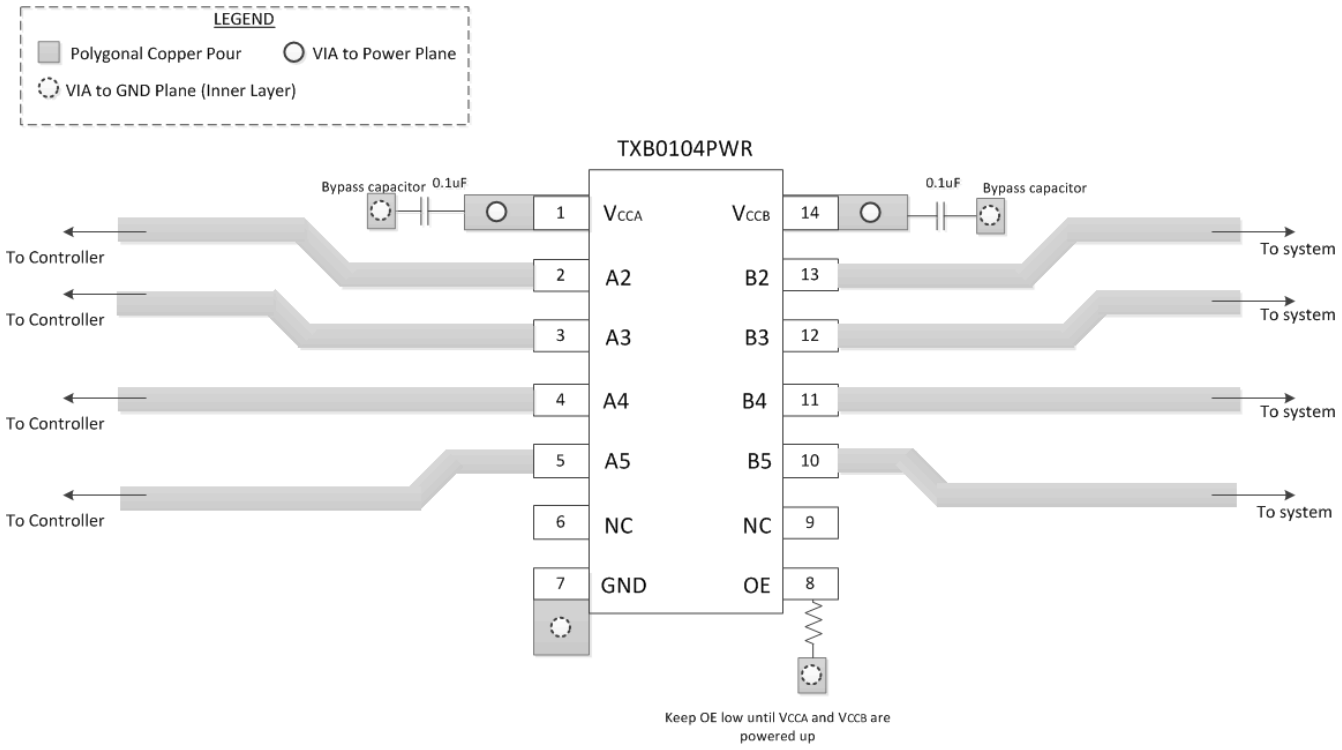


图 11-1. 原理图布局示例

12 器件和文档支持

12.1 Receiving Notification of Documentation Updates

To receive notification of documentation updates, navigate to the device product folder on ti.com. Click on *Subscribe to updates* to register and receive a weekly digest of any product information that has changed. For change details, review the revision history included in any revised document.

12.2 支持资源

TI E2E™ 支持论坛是工程师的重要参考资料，可直接从专家获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题可获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的《使用条款》。

12.3 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

12.4 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

12.5 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

13 机械、封装和可订购信息

下述页面包含机械、封装和订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
TXB0104QPWRQ1	ACTIVE	TSSOP	PW	14	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	YE04Q1	Samples
TXB0104QRGYRQ1	ACTIVE	VQFN	RGY	14	3000	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	YE04Q1	Samples
TXB0104QRUTRQ1	ACTIVE	UQFN	RUT	12	3000	RoHS & Green	NIPDAUAG	Level-1-260C-UNLIM	-40 to 125	SIG	Samples

(1) The marketing status values are defined as follows:
ACTIVE: Product device recommended for new designs.
LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.
NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.
PREVIEW: Device has been announced but is not in production. Samples may or may not be available.
OBSOLETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".
RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.
Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF TXB0104-Q1 :

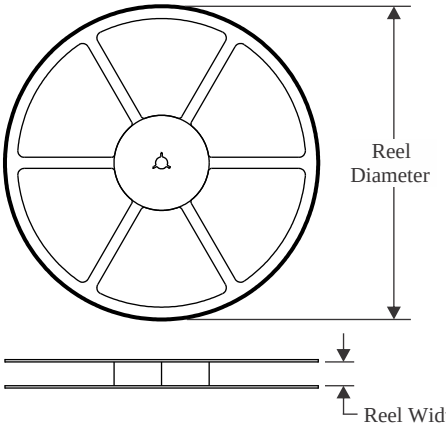
- Catalog : TXB0104

NOTE: Qualified Version Definitions:

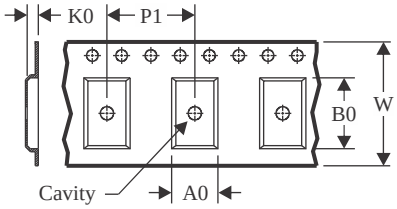
- Catalog - TI's standard catalog product

TAPE AND REEL INFORMATION

REEL DIMENSIONS

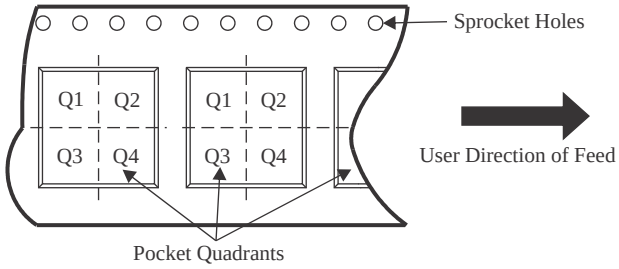


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



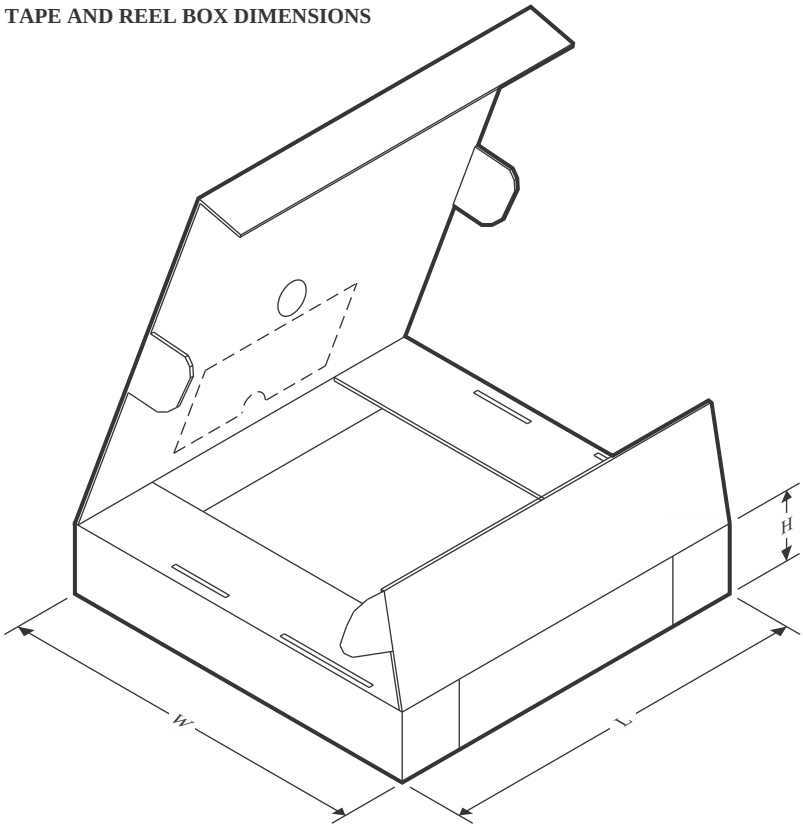
*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TXB0104QPWRQ1	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
TXB0104QRGYRQ1	VQFN	RGY	14	3000	330.0	12.4	3.75	3.75	1.15	8.0	12.0	Q1
TXB0104QRUTRQ1	UQFN	RUT	12	3000	180.0	8.4	1.95	2.3	0.75	4.0	8.0	Q1

PACKAGE MATERIALS INFORMATION

9-Jun-2023

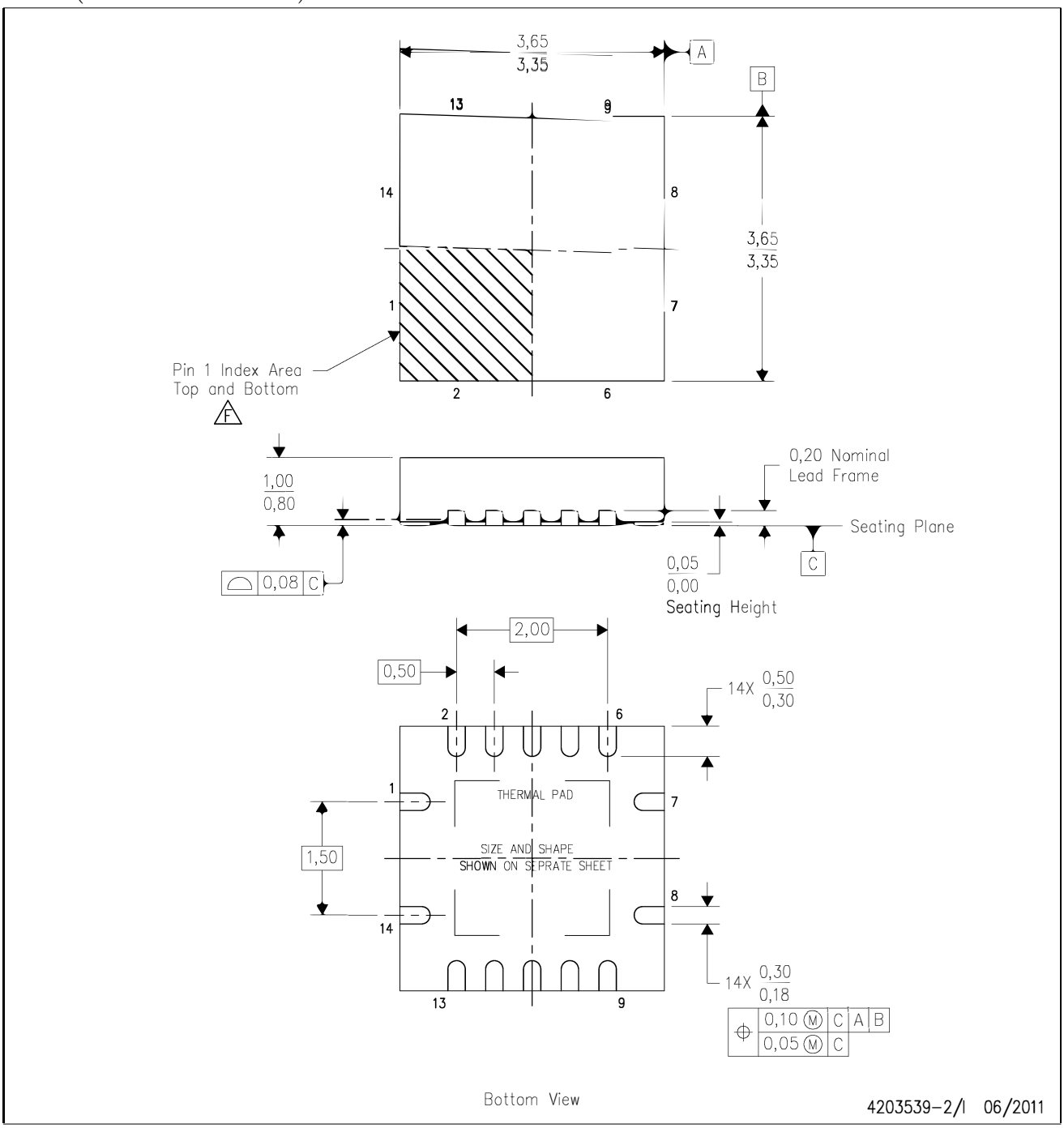
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TXB0104QPWRQ1	TSSOP	PW	14	2000	356.0	356.0	35.0
TXB0104QRGYRQ1	VQFN	RGY	14	3000	356.0	356.0	35.0
TXB0104QRUTRQ1	UQFN	RUT	12	3000	202.0	201.0	28.0

RGY (S–PVQFN–N14) PLASTIC QUAD FLATPACK NO–LEAD



NOTES:
A. All linear dimensions are in millimeters. Dimensioning and tolerancing per ASME Y14.5M–1994.
B. This drawing is subject to change without notice.
C. QFN (Quad Flatpack No–Lead) package configuration.
D. The package thermal pad must be soldered to the board for thermal and mechanical performance.
E. See the additional figure in the Product Data Sheet for details regarding the exposed thermal pad features and dimensions.
F. Pin 1 identifiers are located on both top and bottom of the package and within the zone indicated. The Pin 1 identifiers are either a molded, marked, or metal feature.
G. Package complies to JEDEC MO–241 variation BA.

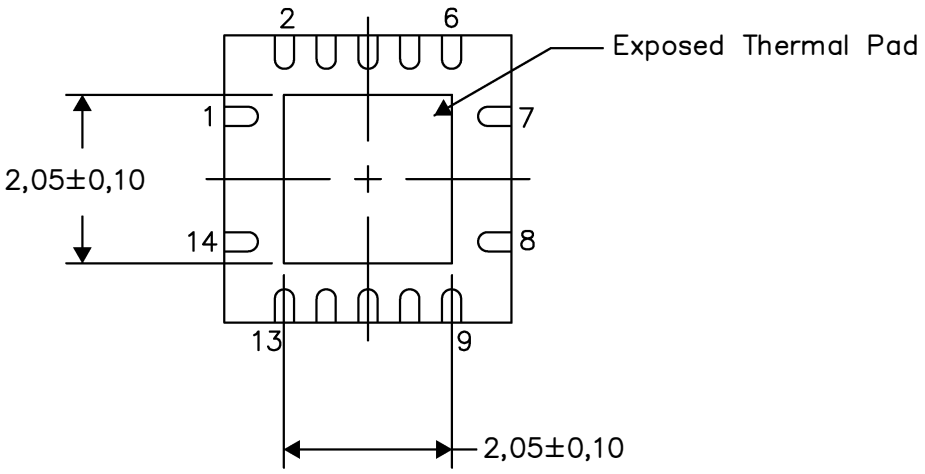
RGY (S–PVQFN–N14) PLASTIC QUAD FLATPACK NO–LEAD

THERMAL INFORMATION

This package incorporates an exposed thermal pad that is designed to be attached directly to an external heatsink. The thermal pad must be soldered directly to the printed circuit board (PCB). After soldering, the PCB can be used as a heatsink. In addition, through the use of thermal vias, the thermal pad can be attached directly to the appropriate copper plane shown in the electrical schematic for the device, or alternatively, can be attached to a special heatsink structure designed into the PCB. This design optimizes the heat transfer from the integrated circuit (IC).

For information on the Quad Flatpack No–Lead (QFN) package and its advantages, refer to Application Report, QFN/SON PCB Attachment, Texas Instruments Literature No. SLUA271. This document is available at www.ti.com.

The exposed thermal pad dimensions for this package are shown in the following illustration.



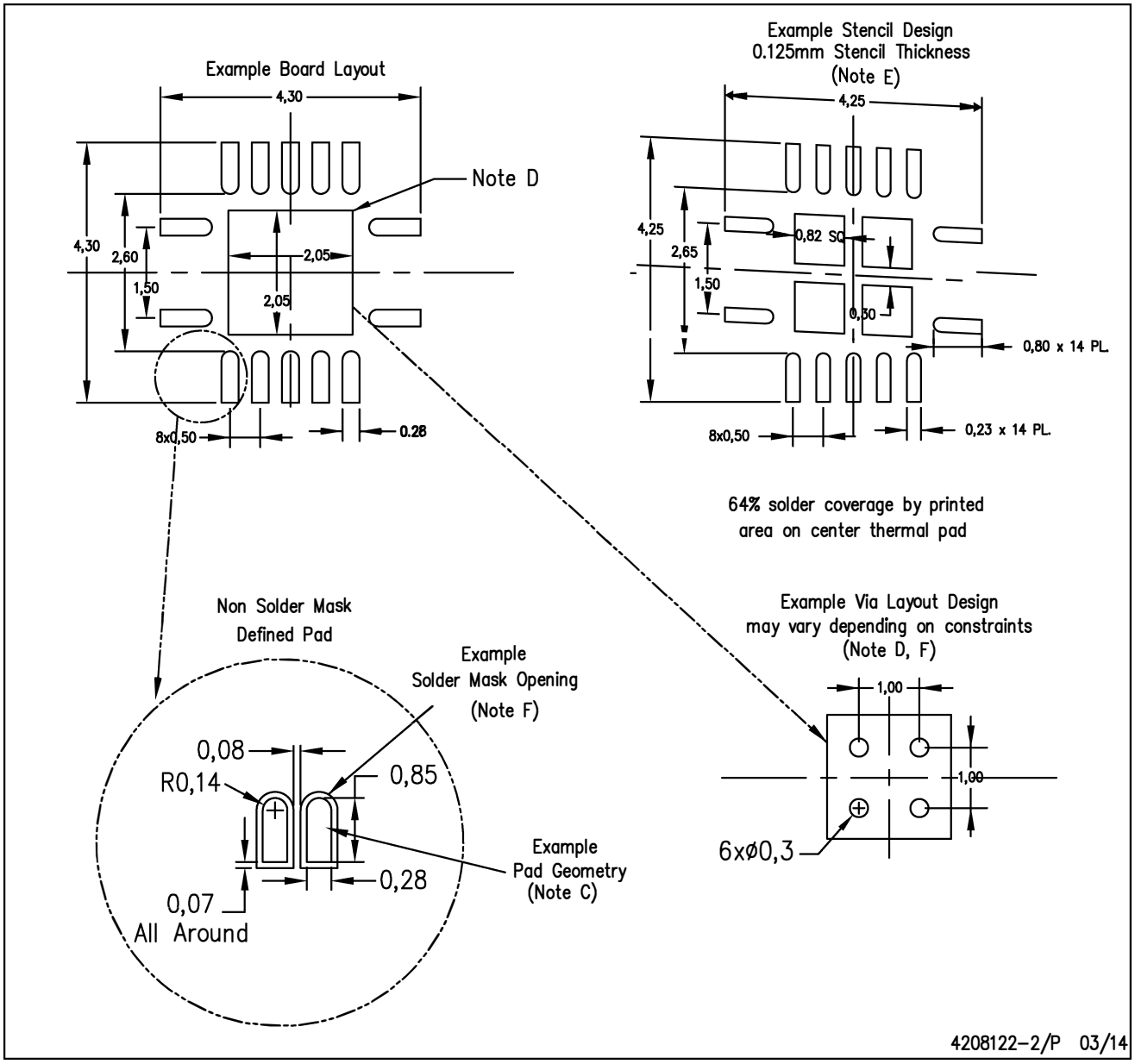
Bottom View

Exposed Thermal Pad Dimensions

4206353–2/P 03/14

NOTE: All linear dimensions are in millimeters

RGY (S–PVQFN–N14) PLASTIC QUAD FLATPACK NO–LEAD



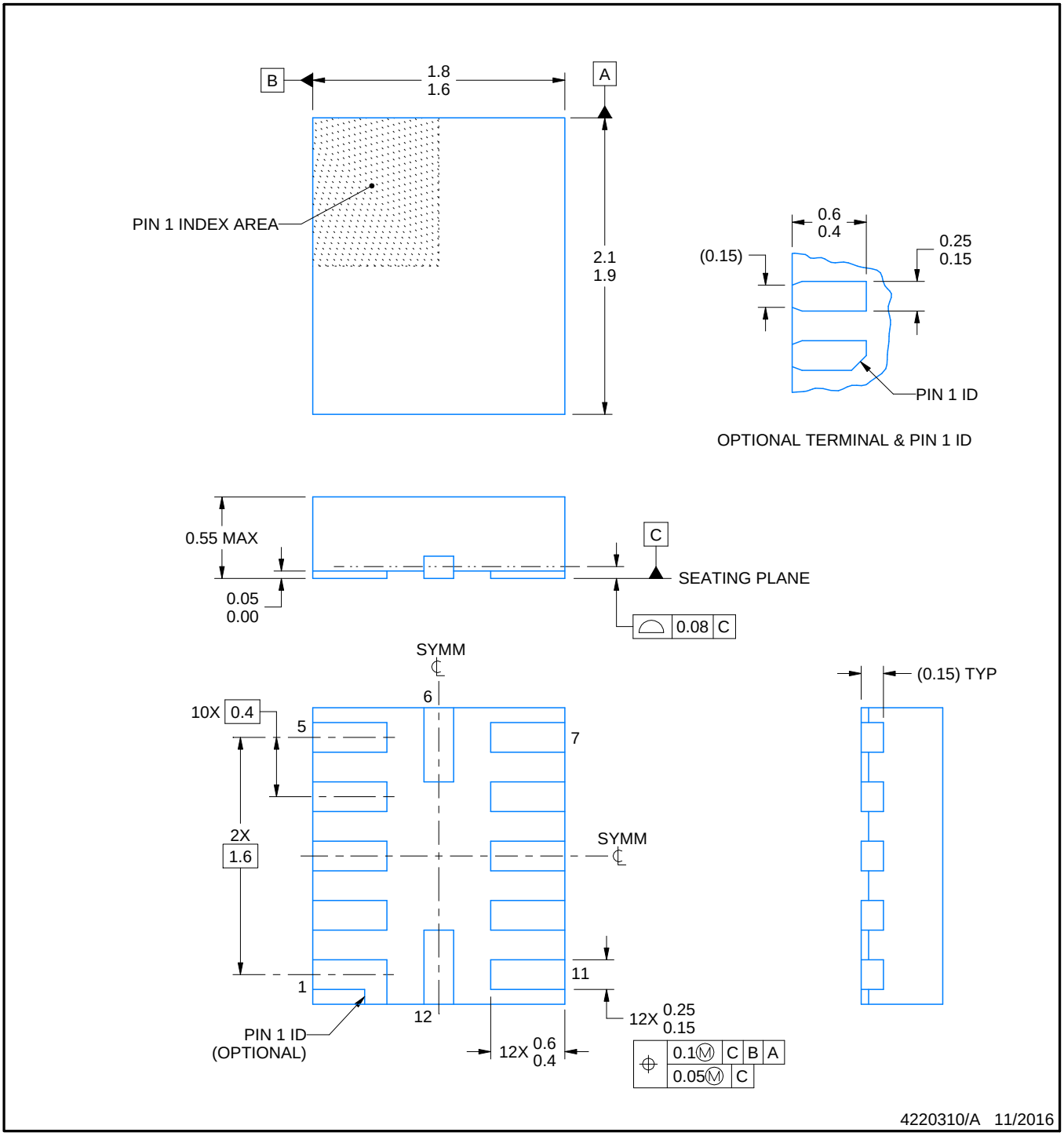
NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Publication IPC–7351 is recommended for alternate designs.
D. This package is designed to be soldered to a thermal pad on the board. Refer to Application Note, Quad Flat–Pack QFN/SON PCB Attachment, Texas Instruments Literature No. SLUA271, and also the Product Data Sheets for specific thermal information, via requirements, and recommended board layout. These documents are available at www.ti.com <http: //www.ti.com>.
E. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC 7525 for stencil design considerations.
F. Customers should contact their board fabrication site for minimum solder mask web tolerances between signal pads.

RUT0012A

PACKAGE OUTLINE

UQFN - 0.55 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES:

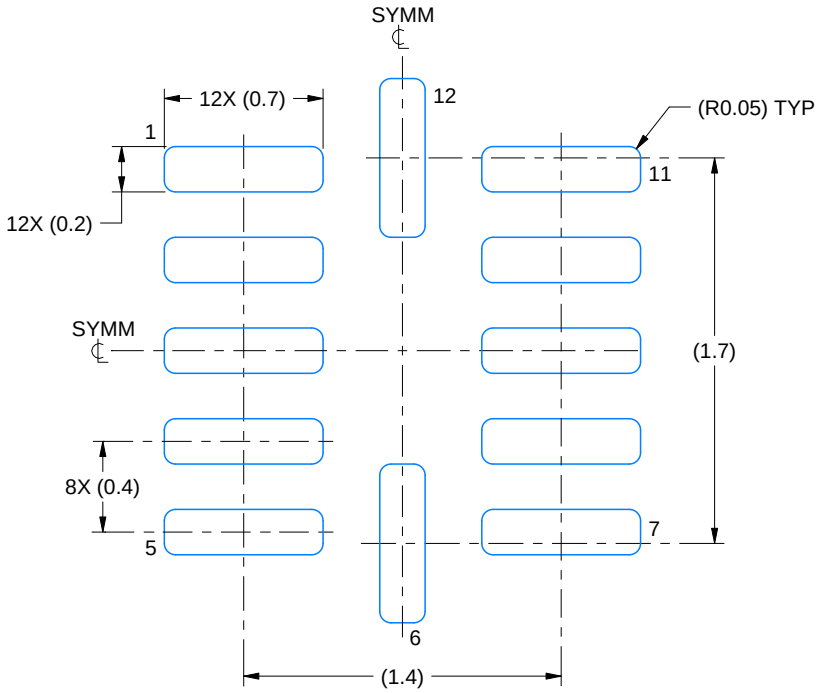
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

EXAMPLE BOARD LAYOUT

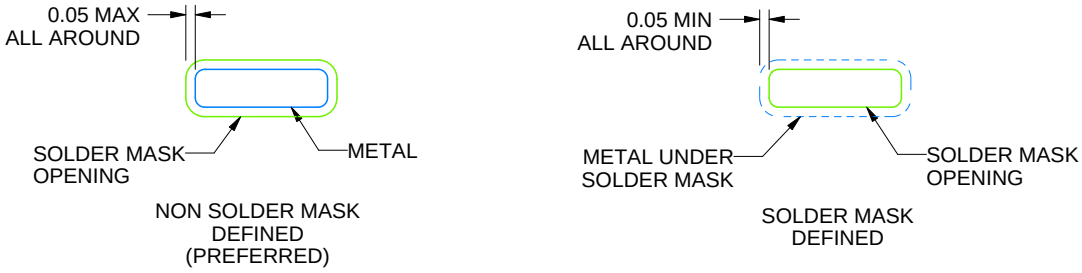
RUT0012A

UQFN - 0.55 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
SCALE:30X



SOLDER MASK DETAILS

4220310/A 11/2016

NOTES: (continued)

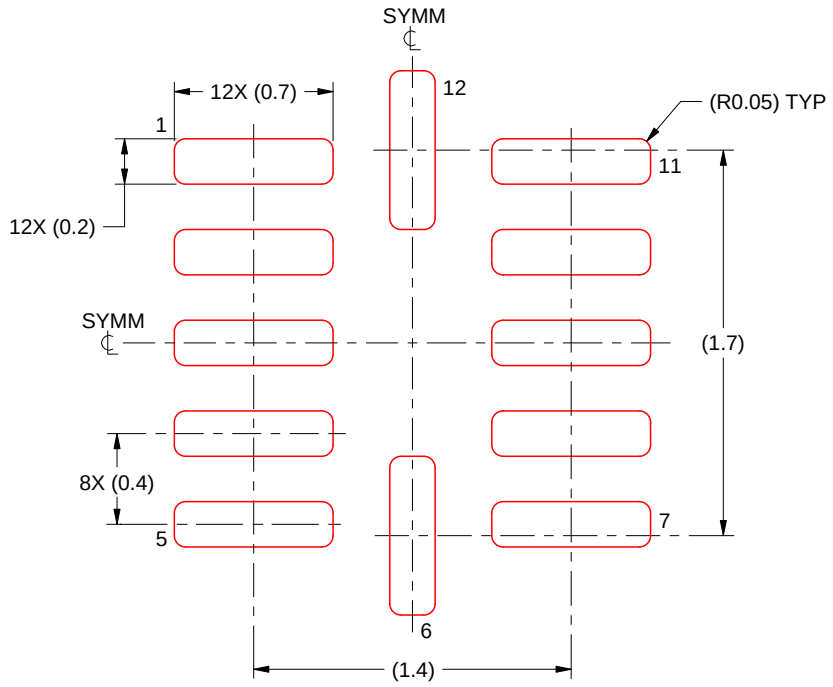
3. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).

EXAMPLE STENCIL DESIGN

RUT0012A

UQFN - 0.55 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



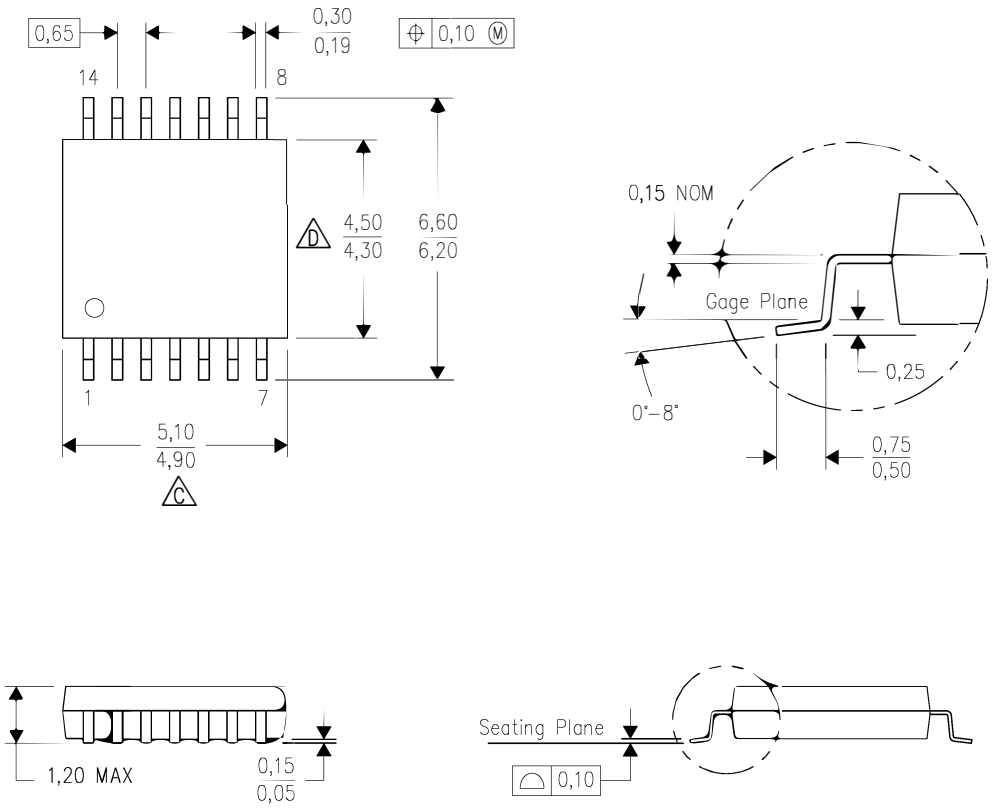
SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL
SCALE: 30X

4220310/A 11/2016

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

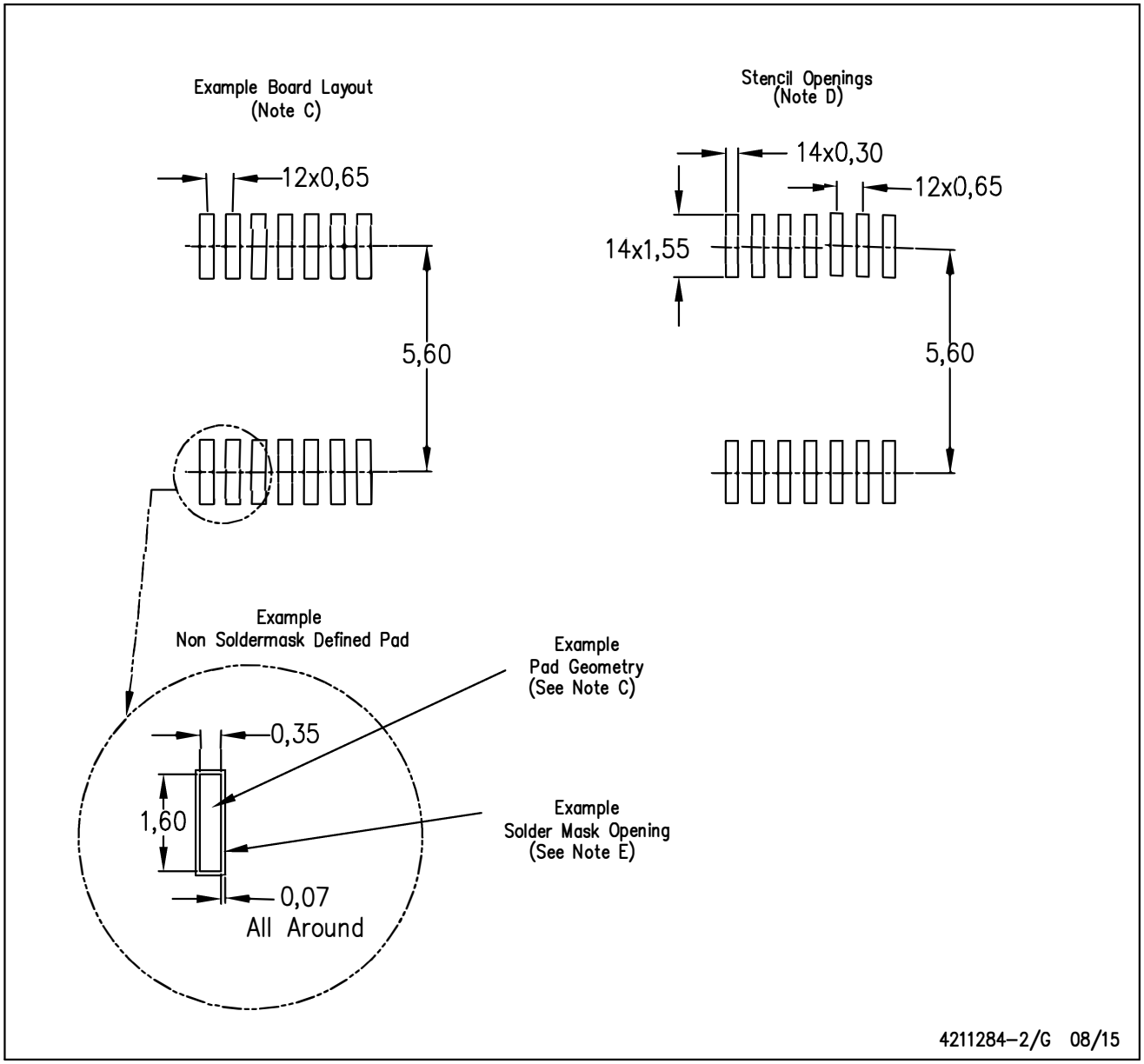
PW (R–PDSO–G14) PLASTIC SMALL OUTLINE



4040064–3/G 02/11

NOTES:
A. All linear dimensions are in millimeters. Dimensioning and tolerancing per ASME Y14.5M–1994.
B. This drawing is subject to change without notice.
C. Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0,15 each side.
D. Body width does not include interlead flash. Interlead flash shall not exceed 0,25 each side.
E. Falls within JEDEC MO–153

PW (R–PDSO–G14) PLASTIC SMALL OUTLINE



NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Publication IPC–7351 is recommended for alternate designs.
D. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC–7525 for other stencil recommendations.
E. Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.