

LMV61x 单路、双路和四路 1.4MHz 低功耗、通用 1.8V 运算放大器

1 特性

- 电源电压值：1.8V（典型值）
- 得到保证的 1.8V、2.7V 和 5V 规格
- 输出摆幅：
 - 600Ω 负载时，电源轨摆幅 80mV
 - 2kΩ 负载时，电源轨摆幅 30mV
- V_{CM} = 超过电源轨 200mV
- 100μA 电源电流（每个通道）
- 1.4MHz 增益带宽积
- 最大 V_{OS} = 4mV
- 温度范围：-40°C 至 +125°C
- 使用 LMV61x 并借助 [WEBENCH® 电源设计器](#) 创建定制设计方案

2 应用

- 消费类通信产品
- 消费类计算产品
- 掌上电脑 (PDA)
- 前置音频放大器
- 便携式或电池供电类电子设备
- 电源电流监控
- 电池监控

3 说明

LMV61x 器件是单路、双路和四路低电压、低功耗运算放大器。此器件专为低电压、通用应用而设计的集成栅极驱动器其他重要的产品特性包括轨至轨输入/输出、1.8V 的低电源电压以及宽温度范围。LMV61x 输入共模在电源基础上向外扩展了

200mV，无负载时提供轨至轨输出摆幅，而在由 1.8V 电源供电且负载为 2kΩ 时提供 30mV 以内的输出电压。当消耗的静态电流为 100μA（典型值）时，LMV61x 可实现 1.4MHz 的增益带宽积。

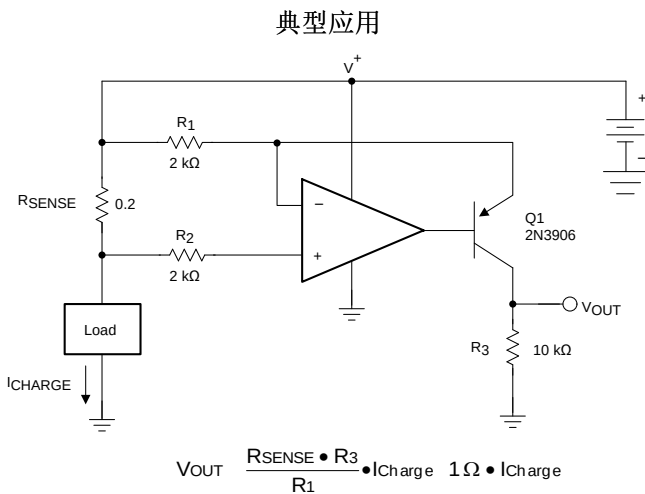
-40°C 至 125°C 的工业增强型温度范围使得 LMV61x 能够适应各种扩展环境设计的集成栅极驱动器

LMV611 采用微型 5 引脚 SC70 封装，LMV612 采用节省空间的 8 引脚 VSSOP 和 SOIC 封装，而 LMV614 采用 14 引脚 TSSOP 和 SOIC 封装。对于需要最小 PCB 尺寸的应用来说，这些小型封装放大器是理想的解决方案。在 PCB 要求方面需要受到空间限制的应用包括便携式和电池供电类电子产品。

器件信息(1)

器件型号	封装	封装尺寸（标称值）
LMV611	SOT-23 (5)	2.92mm × 1.60mm
	SC70 (5)	2.00mm × 1.25mm
LMV612	VSSOP (8)	3.00mm × 3.00mm
	SOIC (8)	4.90mm × 3.91mm
LMV614	TSSOP (14)	5.00mm × 4.40mm
	SOIC (14)	8.64mm × 3.90mm

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。



Copyright © 2016, Texas Instruments Incorporated

目录

1	特性	1	7.3	特性 说明	16
2	应用	1	7.4	器件功能模式	17
3	说明	1	8	以下一些应用中	18
4	修订历史记录	2	8.1	应用信息	18
5	引脚配置和功能	3	8.2	典型 应用	20
6	规格	5	9	电源相关建议	22
6.1	绝对最大额定值	5	10	布局	22
6.2	ESD 额定值	5	10.1	布局指南	22
6.3	建议运行条件	5	10.2	布局示例	22
6.4	热性能信息	5	11	器件和文档支持	23
6.5	电气特性 – 1.8V (直流)	6	11.1	器件支持	23
6.6	电气特性 – 1.8V (交流)	6	11.2	文档支持	23
6.7	电气特性 – 2.7V (直流)	7	11.3	相关链接	23
6.8	电气特性 – 2.7V (交流)	8	11.4	接收文档更新通知	24
6.9	电气特性 – 5V (直流)	9	11.5	社区资源	24
6.10	电气特性 – 5V (交流)	10	11.6	商标	24
6.11	典型特性	11	11.7	静电放电警告	24
7	详细 说明	16	11.8	术语表	24
7.1	概述	16	12	机械、封装和可订购信息	24
7.2	功能框图	16			

4 修订历史记录

注：之前版本的页码可能与当前版本有所不同。

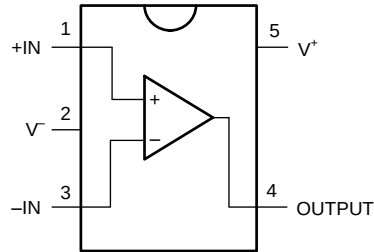
Changes from Revision C (July 2016) to Revision D	Page
• 已添加 WEBENCH 链接	1
• 已更改 “压摆率与电源间的关系”标题以便仅反映 LMV611 和 LMV614	13
• 已添加 仅适用于 LMV612 的“压摆率与电源间的关系”图	13

Changes from Revision B (March 2013) to Revision C	Page
• 已添加 ESD 额定值表，特性 说明部分、器件功能模式、应用和实现部分、电源相关建议部分、布局部分、器件和文档支持部分以及机械、封装和可订购信息部分	1
• 已更改 热性能信息 表中的值以便与 JEDEC 标准一致	5

Changes from Revision A (March 2012) to Revision B	Page
• 已更改 将 National Semiconductor 产品说明书的布局更改为 TI 格式	1

5 引脚配置和功能

**DCK 和 DBV 封装
5 引脚 SC70 和 SOT-23
俯视图**

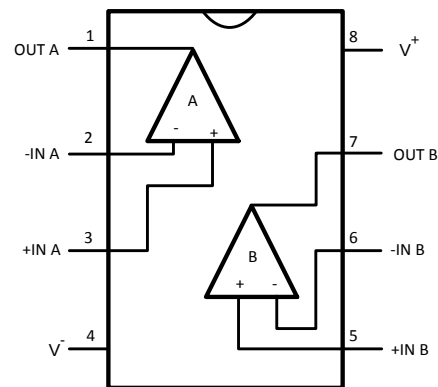


SOT-23 的 – LMV611

引脚		类型 ⁽¹⁾	说明
编号	名称		
1	+IN	I	同相输入
2	V ⁻	P	负电源输入
3	-IN	I	反相输入
4	OUTPUT	O	Output
5	V ⁺	P	正电源输入

(1) I = 输入, O = 输出, 而 P = 电源

**DGK 和 D 封装
8 引脚 VSSOP 和 SOIC
俯视图**



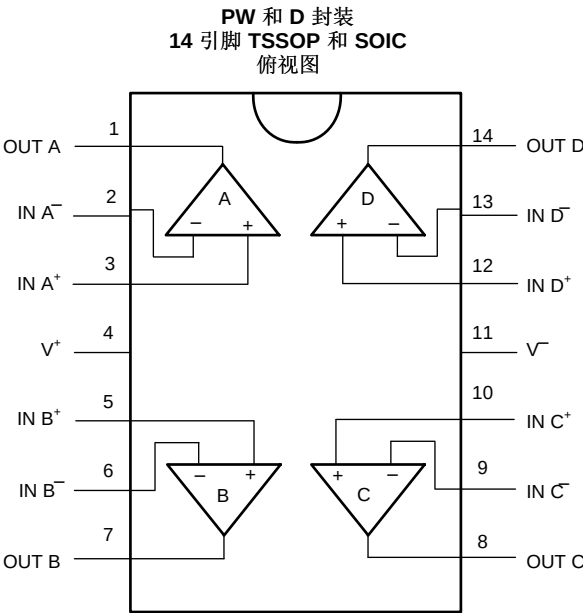
SOT-23 的 – LMV612

引脚		类型 ⁽¹⁾	说明
编号	名称		
1	OUT A	O	输出 A
2	-IN A	I	反相输入 A
3	+IN A	I	同相输入 A
4	V ⁻	P	负电源输入
5	+IN B	I	同相输入 B
6	-IN B	I	反相输入 B
7	OUT B	O	Output B
8	V ⁺	P	正电源输入

(1) I = 输入, O = 输出, 而 P = 电源

LMV611, LMV612, LMV614

ZHCSB02D –APRIL 2012–REVISED MARCH 2017



SOT-23 的 – LMV614

引脚		类型 ⁽¹⁾	说明
编号	名称		
1	OUT A	O	输出 A
2	IN A ⁻	I	反相输入 A
3	IN A ⁺	I	同相输入 A
4	V ⁺	P	正电源输入
5	IN B ⁺	I	同相输入 B
6	IN B ⁻	I	反相输入 B
7	OUT B	O	Output B
8	OUT C	O	Output C
9	IN C ⁻	I	反相输入 C
10	IN C ⁺	I	同相输入 C
11	V ⁻	P	负电源输入
12	IN D ⁺	I	同相输入 D
13	IN D ⁻	I	反相输入 D
14	OUT D	O	Output D

(1) I = 输入，O = 输出，而 P = 电源

6 规格

6.1 绝对最大额定值

在自然通风条件下的工作温度范围内（除非另有说明）⁽¹⁾⁽²⁾⁽³⁾

	最小值	最大值	单位
差分输入电压	正负电源电压		
电源电压 ($V^+ - V^-$)		6	V
输入/输出引脚电压	$V^- - 0.3$	$V^+ + 0.3$	V
结温, T_{JMAX} ⁽⁴⁾		150	°C
贮存温度, T_{stg}	-65	150	°C

- (1) 应力超出绝对最大额定值 下列的值可能会对器件造成永久损坏。这些仅为在极端额定值下的工作情况，这不表示在这些条件下以及其它在超出推荐的操作条件下的任何其它操作时，器件能够功能性运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。
- (2) 如果需要军用/航天专用器件，请与德州仪器 (TI) 销售办事处/分销商联系以了解供货情况和技术规格。
- (3) 如需了解所有封装的焊接规格，请参阅 www.ti.com.cn 和《焊接的绝对最大额定值》。
- (4) 最大功率耗散是 $T_{J(MAX)}$ 、 $R_{\theta JA}$ 和 T_A 的函数。任何环境温度下允许的最大功率耗散为 $P_D = (T_{J(MAX)} - T_A) / R_{\theta JA}$ 。所有数字均适用于直接焊接到 PCB 的封装。

6.2 ESD 额定值

		值	单位
$V_{(ESD)}$ 静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 ⁽¹⁾	±2000	V
	机器放电模型 (MM) ⁽²⁾	±200	

- (1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
- (2) 机器放电模型，适用标准 JESD22-A115-A（JEDEC 的 ESD MM 标准）电场诱导充电器件模型，适用标准 JESD22-C101-C（JEDEC 的 ESD FICDM 标准）。

6.3 建议运行条件

在自然通风条件下的工作温度范围内（除非另有说明）

	最小值	最大值	单位
电源电压	1.8	5.5	V
温度	-40	125	°C

6.4 热性能信息

热指标 ⁽¹⁾	LMV611		LMV612		LMV614		单位
	DBV (SOT-23)	DCK (SC70)	D (SOIC)	DGK (VSSOP)	D (SOIC)	PW (TSSOP)	
	5 引脚	5 引脚	8 引脚	8 引脚	14 引脚	14 引脚	
$R_{\theta JA}$ 结至环境热阻	197.2	285.9	125.9	184.5	94.4	124.8	°C/W
$R_{\theta JC(top)}$ 结至外壳（顶部）热阻	156.7	115.9	70.2	74.3	52.5	51.4	°C/W
$R_{\theta JB}$ 结至电路板热阻	55.6	63.7	66.5	105.1	48.9	67.2	°C/W
Ψ_{JT} 结至顶部特征参数	41.4	4.5	19.8	13.1	14.3	6.6	°C/W
Ψ_{JB} 结至电路板特征参数	55	62.9	65.9	103.6	48.6	66.6	°C/W
$R_{\theta JC(bot)}$ 结至外壳（底部）热阻	—	—	—	—	—	—	°C/W

- (1) 有关传统和最新热指标的更多信息，请参阅 [半导体和 IC 封装热指标](#) 应用报告。

6.5 电气特性 – 1.8V（直流）

所有限值均基于以下条件： $T_J = 25^{\circ}\text{C}$ ， $V^+ = 1.8\text{V}$ ， $V^- = 0\text{V}$ ， $V_{\text{CM}} = V^+/2$ ， $V_O = V^+/2$ ，且 $R_L > 1\text{M}\Omega$ （除非另有说明）。⁽¹⁾

参数		测试条件	最小值 ⁽²⁾	典型值 ⁽³⁾	最大值 ⁽²⁾	单位
V_{OS}	输入失调电压	LMV611（单通道）		1	4	mV
		LMV612（双通道）和 LMV614（四通道）		1	5.5	
TCV_{OS}	输入失调电压平均漂移			5.5		$\mu\text{V}/^{\circ}\text{C}$
I_B	输入偏置电流			15		nA
I_{OS}	输入失调电流			13		nA
I_S	电源电流（每通道）			103	185	μA
CMRR	共模抑制比	LMV611, $0\text{V} \leq V_{\text{CM}} \leq 0.6\text{V}$, $1.4\text{V} \leq V_{\text{CM}} \leq 1.8\text{V}$ ⁽⁴⁾	60	78		dB
		LMV612 和 LMV614, $0\text{V} \leq V_{\text{CM}} \leq 0.6\text{V}$, $1.4\text{V} \leq V_{\text{CM}} \leq 1.8\text{V}$ ⁽⁴⁾	55	76		
		$-0.2\text{V} \leq V_{\text{CM}} \leq 0\text{V}$, $1.8\text{V} \leq V_{\text{CM}} \leq 2\text{V}$	50	72		
PSRR	电源抑制比	$1.8\text{V} \leq V^+ \leq 5\text{V}$		100		dB
CMVR	输入共模电压	当 CMRR 范围 $\geq 50\text{dB}$ 时	V^- , $T_A = 25^{\circ}\text{C}$	$V^- - 0.2$	-0.2	V
			V^+ , $T_A = 25^{\circ}\text{C}$	2.1	$V^+ + 0.2$	
			$T_A = -40^{\circ}\text{C}$ 至 85°C	V^-	V^+	
			$T_A = 125^{\circ}\text{C}$	$V^- + 0.2$	$V^+ - 0.2$	
A_V	大信号电压增益 LMV611（单通道）	$R_L = 600\Omega$ （连接至 0.9V ）， $V_O = 0.2\text{V}$ 至 1.6V ， $V_{\text{CM}} = 0.5\text{V}$	77	101		dB
		$R_L = 2\text{k}\Omega$ （连接至 0.9V ）， $V_O = 0.2\text{V}$ 至 1.6V ， $V_{\text{CM}} = 0.5\text{V}$	80	105		
	大信号电压增益 LMV612（双通道）和 LMV614（四通道）	$R_L = 600\Omega$ （连接至 0.9V ）， $V_O = 0.2\text{V}$ 至 1.6V ， $V_{\text{CM}} = 0.5\text{V}$	75	90		
		$R_L = 2\text{k}\Omega$ （连接至 0.9V ）， $V_O = 0.2\text{V}$ 至 1.6V ， $V_{\text{CM}} = 0.5\text{V}$	78	100		
V_O	输出摆幅	$R_L = 600\Omega$ （连接至 0.9V ）	1.65	1.72		V
		$V_{\text{IN}} = \pm 100\text{mV}$		0.077	0.105	
		$R_L = 2\text{k}\Omega$ （连接至 0.9V ）	1.75	1.77		
		$V_{\text{IN}} = \pm 100\text{mV}$		0.024	0.035	
I_O	输出短路电流 ⁽⁵⁾	拉电流， $V_O = 0\text{V}$ ， $V_{\text{IN}} = 100\text{mV}$		8		mA
		灌电流， $V_O = 1.8\text{V}$ ， $V_{\text{IN}} = -100\text{mV}$		9		

(1) 电气特性值仅适用于所示温度下的工厂测试条件。工厂测试条件会使器件的自发热大受限制，使得 $T_J = T_A$ 。在 $T_J > T_A$ 的内部自发热条件下，某些参数性能规格（如电气表中所示）无法得到保证。有关此器件的温度降额的信息，请参阅[以下一些应用中](#)。**绝对最大额定值**表示结温限值，超过这些限值，器件将会发生机械性或电气性的永久降级。

(2) 所有限值均根据测试或统计分析确定。

(3) 典型值表示评定特性时确定的最有可能达到的参数标准。实际典型值可能会随时间推移而变化，而且还取决于应用和配置。已发货生产材料未进行这些典型值测试，无法确保符合这些典型值。

(4) 对于规定的温度范围，请参阅输入共模电压规格。

(5) 同时适用于单电源供电和双电源供电。在环境温度升高的情况下，持续短路运行可能会导致超过允许的最大结温 (150°C)。输出电流长期超过 45mA 会对可靠性造成不利影响。

6.6 电气特性 – 1.8V（交流）

所有限值均基于以下条件： $T_J = 25^{\circ}\text{C}$ ， $V^+ = 1.8\text{V}$ ， $V^- = 0\text{V}$ ， $V_{\text{CM}} = V^+/2$ ， $V_O = V^+/2$ ，且 $R_L > 1\text{M}\Omega$ （除非另有说明）。⁽¹⁾

(1) 电气特性值仅适用于所示温度下的工厂测试条件。工厂测试条件会使器件的自发热大受限制，使得 $T_J = T_A$ 。在 $T_J > T_A$ 的内部自发热条件下，某些参数性能规格（如电气表中所示）无法得到保证。有关此器件的温度降额的信息，请参阅[以下一些应用中](#)。**绝对最大额定值**表示结温限值，超过这些限值，器件将会发生机械性或电气性的永久降级。

电气特性 – 1.8V（交流）(接下页)

所有限值均基于以下条件： $T_J = 25^\circ\text{C}$ ， $V^+ = 1.8\text{V}$ ， $V^- = 0\text{V}$ ， $V_{CM} = V^+ / 2$ ， $V_O = V^+ / 2$ ，且 $R_L > 1\text{M}\Omega$ （除非另有说明）。⁽¹⁾

参数	测试条件	最小值 ⁽²⁾	典型值 ⁽³⁾	最大值 ⁽²⁾	单位
SR 转换速率 ⁽⁴⁾			0.35		V/ μs
GBW 增益带宽积			1.4		MHz
Φ_m 相位裕度			67		°
G_m 增益裕量			7		dB
e_n 输入基准电压噪声	$f = 10\text{kHz}$ ， $V_{CM} = 0.5\text{V}$		60		$\text{nV}/\sqrt{\text{Hz}}$
i_n 输入基准电流噪声	$f = 10\text{kHz}$		0.08		$\text{pA}/\sqrt{\text{Hz}}$
THD 总谐波失真	$f = 1\text{kHz}$ ， $A_V = +1$ ， $R_L = 600\Omega$ ， $V_{IN} = 1V_{PP}$		0.023%		
放大器到放大器隔离 ⁽⁵⁾			123		dB

(2) 所有限值均根据测试或统计分析确定。

(3) 典型值表示评定特性时确定的最有可能达到的参数标准。实际典型值可能会随时间推移而变化，而且还取决于应用和配置。已发货生产材料未进行这些典型值测试，无法确保符合这些典型值。

(4) 作为电压跟随器连接且输入阶跃为 V^- 至 V^+ 。标注的数字是正负压摆率中较低的值。

(5) 以输入为参考， $R_L = 100\text{k}\Omega$ （连接至 $V^+ / 2$ ）。每个放大器依次以 1kHz 的频率接受激励以便产生 $V_O = 3V_{PP}$ （电源电压小于 3V 时， $V_O = V^+$ ）。

6.7 电气特性 – 2.7V（直流）

所有限值均基于以下条件： $T_J = 25^\circ\text{C}$ ， $V^+ = 2.7\text{V}$ ， $V^- = 0\text{V}$ ， $V_{CM} = V^+ / 2$ ， $V_O = V^+ / 2$ ，且 $R_L > 1\text{M}\Omega$ （除非另有说明）。⁽¹⁾

参数	测试条件	最小值 ⁽²⁾	典型值 ⁽³⁾	最大值 ⁽²⁾	单位
V_{OS} 输入失调电压	LMV611（单通道）		1	4	mV
	LMV612（双通道）和 LMV614（四通道）		1	5.5	
TCV_{OS} 输入失调电压平均漂移			5.5		$\mu\text{V}/^\circ\text{C}$
I_B 输入偏置电流			15		nA
I_{OS} 输入失调电流			8		nA
I_S 电源电流（每通道）			105	190	μA
CMRR 共模抑制比	LMV611, $0\text{V} \leq V_{CM} \leq 1.5\text{V}$, $2.3\text{V} \leq V_{CM} \leq 2.7\text{V}$ ⁽⁴⁾	60	81		dB
	LMV612 和 LMV614, $0\text{V} \leq V_{CM} \leq 1.5\text{V}$, $2.3\text{V} \leq V_{CM} \leq 2.7\text{V}$ ⁽⁴⁾	55	80		
	$-0.2\text{V} \leq V_{CM} \leq 0\text{V}$, $2.7\text{V} \leq V_{CM} \leq 2.9\text{V}$	50	74		
PSRR 电源抑制比	$1.8\text{V} \leq V^+ \leq 5\text{V}$, $V_{CM} = 0.5\text{V}$		100		dB
V_{CM} 输入共模电压	当 CMRR 范围 $\geq 50\text{dB}$ 时	V^- , $T_A = 25^\circ\text{C}$	$V^- - 0.2$	-0.2	V
		V^+ , $T_A = 25^\circ\text{C}$		3 $V^+ + 0.2$	
		$T_A = -40^\circ\text{C}$ 至 85°C	V^-	V^+	
		$T_A = 125^\circ\text{C}$	$V^- + 0.2$	$V^+ - 0.2$	

(1) 电气特性值仅适用于所示温度下的工厂测试条件。工厂测试条件会使器件的自发热大受限制，使得 $T_J = T_A$ 。在 $T_J > T_A$ 的内部自发热条件下，某些参数性能规格（如电气表中所示）无法得到保证。有关此器件的温度降额的信息，请参阅[以下一些应用中](#)。**绝对最大额定值**表示结温限值，超过这些限值，器件将会发生机械性或电气性的永久降级。

(2) 所有限值均根据测试或统计分析确定。

(3) 典型值表示评定特性时确定的最有可能达到的参数标准。实际典型值可能会随时间推移而变化，而且还取决于应用和配置。已发货生产材料未进行这些典型值测试，无法确保符合这些典型值。

(4) 对于规定的温度范围，请参阅输入共模电压规格。

电气特性 – 2.7V（直流）(接下页)

所有限值均基于以下条件： $T_J = 25^\circ\text{C}$ ， $V^+ = 2.7\text{V}$ ， $V^- = 0\text{V}$ ， $V_{CM} = V^+/2$ ， $V_O = V^+/2$ ，且 $R_L > 1\text{M}\Omega$ （除非另有说明）。⁽¹⁾

参数		测试条件	最小值 ⁽²⁾	典型值 ⁽³⁾	最大值 ⁽²⁾	单位
A_V	大信号电压增益 LMV611（单通道）	$R_L = 600\Omega$ （连接至 1.35V ）， $V_O = 0.2\text{V}$ 至 2.5V	87	104		dB
		$R_L = 2\text{k}\Omega$ （连接至 1.35V ）， $V_O = 0.2\text{V}$ 至 2.5V	92	110		
	大信号电压增益 LMV612（双通道）和 LMV614（四通道）	$R_L = 600\Omega$ （连接至 1.35V ）， $V_O = 0.2\text{V}$ 至 2.5V	78	90		
		$R_L = 2\text{k}\Omega$ （连接至 1.35V ）， $V_O = 0.2\text{V}$ 至 2.5V	81	100		
V_O	输出摆幅	$R_L = 600\Omega$ （连接至 1.35V ）	2.55	2.62		V
		$V_{IN} = \pm 100\text{mV}$		0.083	0.11	
		$R_L = 2\text{k}\Omega$ （连接至 1.35V ）	2.65	2.675		
		$V_{IN} = \pm 100\text{mV}$		0.025	0.04	
I_O	输出短路电流 ⁽⁵⁾	拉电流， $V_O = 0\text{V}$ ， $V_{IN} = 100\text{mV}$		30		mA
		灌电流， $V_O = 0\text{V}$ ， $V_{IN} = -100\text{mV}$		25		

(5) 同时适用于单电源供电和双电源供电。在环境温度升高的情况下，持续短路运行可能会导致超过允许的最大结温 (150°C)。输出电流长期超过 45mA 会对可靠性造成不利影响。

6.8 电气特性 – 2.7V（交流）

所有限值均基于以下条件： $T_J = 25^\circ\text{C}$ ， $V^+ = 2.7\text{V}$ ， $V^- = 0\text{V}$ ， $V_{CM} = 1\text{V}$ ， $V_O = 1.35\text{V}$ ，且 $R_L > 1\text{M}\Omega$ （除非另有说明）。⁽¹⁾

参数		测试条件	最小值 ⁽²⁾	典型值 ⁽³⁾	最大值 ⁽²⁾	单位
SR	转换速率 ⁽⁴⁾			0.4		$\text{V}/\mu\text{s}$
GBW	增益带宽积			1.4		MHz
Φ_m	相位裕度			70		°
G_m	增益裕量			7.5		dB
e_n	输入基准电压噪声	$f = 10\text{kHz}$ ， $V_{CM} = 0.5\text{V}$		57		$\text{nV}/\sqrt{\text{Hz}}$
i_n	输入基准电流噪声	$f = 10\text{kHz}$		0.08		$\text{pA}/\sqrt{\text{Hz}}$
THD	总谐波失真	$f = 1\text{kHz}$ ， $A_V = +1$ ， $R_L = 600\Omega$ ， $V_{IN} = 1V_{PP}$		0.022%		
放大器到放大器隔离 ⁽⁵⁾				123		dB

(1) 电气特性值仅适用于所示温度下的工厂测试条件。工厂测试条件会使器件的自发热大受限制，使得 $T_J = T_A$ 。在 $T_J > T_A$ 的内部自发热条件下，某些参数性能规格（如电气表中所示）无法得到保证。有关此器件的温度降额的信息，请参阅[以下一些应用中](#)。**绝对最大额定值**表示结温限值，超过这些限值，器件将会发生机械性或电气性的永久降级。

(2) 所有限值均根据测试或统计分析确定。

(3) 典型值表示评定特性时确定的最有可能达到的参数标准。实际典型值可能会随时间推移而变化，而且还取决于应用和配置。已发货生产材料未进行这些典型值测试，无法确保符合这些典型值。

(4) 作为电压跟随器连接且输入阶跃为 V^- 至 V^+ 。标注的数字是正负摆率中较低的值。

(5) 以输入为参考， $R_L = 100\text{k}\Omega$ （连接至 $V^+/2$ ）。每个放大器依次以 1kHz 的频率接受激励以便产生 $V_O = 3V_{PP}$ （电源电压小于 3V 时， $V_O = V^+$ ）。

6.9 电气特性 – 5V（直流）

所有限值均基于以下条件： $T_J = 25^\circ\text{C}$ ， $V^+ = 5\text{V}$ ， $V^- = 0\text{V}$ ， $V_{CM} = V^+/2$ ， $V_O = V^+/2$ ，且 $R_L > 1\text{M}\Omega$ （除非另有说明）。⁽¹⁾

参数		测试条件	最小值 ⁽²⁾	典型值 ⁽³⁾	最大值 ⁽²⁾	单位
V_{OS}	输入失调电压	LMV611（单通道）		1	4	mV
		LMV612（双通道）和 LMV614（四通道）		1	5.5	
TCV_{OS}	输入失调电压平均漂移			5.5		$\mu\text{V}/^\circ\text{C}$
I_B	输入偏置电流			14	35	nA
I_{OS}	输入失调电流			9		nA
I_S	电源电流（每通道）			116	210	μA
CMRR	共模抑制比	$0\text{V} \leq V_{CM} \leq 3.8\text{V}$, $4.6\text{V} \leq V_{CM} \leq 5\text{V}$ ⁽⁴⁾	60	86		dB
		$-0.2\text{V} \leq V_{CM} \leq 0\text{V}$, $5\text{V} \leq V_{CM} \leq 5.2\text{V}$	50	78		
PSRR	电源抑制比	$1.8\text{V} \leq V^+ \leq 5\text{V}$, $V_{CM} = 0.5\text{V}$		100		dB
CMVR	输入共模电压	当 CMRR 范围 $\geq$ 50dB 时	V^- , $T_A = 25^\circ\text{C}$	$V^- - 0.2$	-0.2	V
			V^+ , $T_A = 25^\circ\text{C}$	5.3	$V^+ + 0.2$	
			$T_A = -40^\circ\text{C}$ 至 85°C	V^-	V^+	
			$T_A = 125^\circ\text{C}$	$V^- + 0.3$	$V^+ - 0.3$	
A_V	大信号电压增益 LMV611（单通道）	$R_L = 600\Omega$ （连接至 2.5V）， $V_O = 0.2\text{V}$ 至 4.8V	88	102		dB
		$R_L = 2\text{k}\Omega$ （连接至 2.5V）， $V_O = 0.2\text{V}$ 至 4.8V	94	113		
	大信号电压增益 LMV612（双通道）和 LMV614（四通道）	$R_L = 600\Omega$ （连接至 2.5V）， $V_O = 0.2\text{V}$ 至 4.8V	81	90		
		$R_L = 2\text{k}\Omega$ （连接至 2.5V）， $V_O = 0.2\text{V}$ 至 4.8V	85	100		
V_O	输出摆幅	$R_L = 600\Omega$ （连接至 2.5V）	4.855	4.89		V
		$V_{IN} = \pm 100\text{mV}$		0.12	0.16	
		$R_L = 2\text{k}\Omega$ （连接至 2.5V）	4.945	4.967		
		$V_{IN} = \pm 100\text{mV}$		0.037	0.065	
I_O	输出短路电流 ⁽⁵⁾	LMV611，拉电流， $V_O = 0\text{V}$ ， $V_{IN} = 100\text{mV}$		100		mA
		灌电流， $V_O = 5\text{V}$ ， $V_{IN} = -100\text{mV}$		65		

- 电气特性值仅适用于所示温度下的工厂测试条件。工厂测试条件会使器件的自发热大受限制，使得 $T_J = T_A$ 。在 $T_J > T_A$ 的内部自发热条件下，某些参数性能规格（如电气表中所示）无法得到保证。有关此器件的温度降额的信息，请参阅[以下一些应用中](#)。**绝对最大额定值**表示结温限值，超过这些限值，器件将会发生机械性或电气性的永久降级。
- 所有限值均根据测试或统计分析确定。
- 典型值表示评定特性时确定的最有可能达到的参数标准。实际典型值可能会随时间推移而变化，而且还取决于应用和配置。已发货生产材料未进行这些典型值测试，无法确保符合这些典型值。
- 对于规定的温度范围，请参阅输入共模电压规格。
- 同时适用于单电源供电和双电源供电。在环境温度升高的情况下，持续短路运行可能会导致超过允许的最大结温 (150°C)。输出电流长期超过 45mA 会对可靠性造成不利影响。

6.10 电气特性 – 5V（交流）

所有限值均基于以下条件： $T_J = 25^\circ\text{C}$ ， $V^+ = 5\text{V}$ ， $V^- = 0\text{V}$ ， $V_{\text{CM}} = V^+/2$ ， $V_O = 2.5\text{V}$ ，且 $R_L > 1\text{M}\Omega$ （除非另有说明）。⁽¹⁾

参数	测试条件	最小值 ⁽²⁾	典型值 ⁽³⁾	最大值 ⁽²⁾	单位
SR 转换速率 ⁽⁴⁾			0.42		V/ μs
GBW 增益带宽积			1.5		MHz
Φ_m 相位裕度			71		°
G_m 增益裕量			8		dB
e_n 输入基准电压噪声	$f = 10\text{kHz}$ ， $V_{\text{CM}} = 1\text{V}$		50		nV/ $\sqrt{\text{Hz}}$
i_n 输入基准电流噪声	$f = 10\text{kHz}$		0.08		pA/ $\sqrt{\text{Hz}}$
THD 总谐波失真	$f = 1\text{kHz}$ ， $A_V = +1$ ， $R_L = 600\Omega$ ， $V_O = 1\text{V}_{\text{PP}}$		0.022%		
放大器到放大器隔离 ⁽⁵⁾			123		dB

- (1) 电气特性值仅适用于所示温度下的工厂测试条件。工厂测试条件会使器件的自发热大受限制，使得 $T_J = T_A$ 。在 $T_J > T_A$ 的内部自发热条件下，某些参数性能规格（如电气表中所示）无法得到保证。有关此器件的温度降额的信息，请参阅[以下一些应用中](#)。**绝对最大额定值**表示结温限值，超过这些限值，器件将会发生机械性或电气性的永久降级。
- (2) 所有限值均根据测试或统计分析确定。
- (3) 典型值表示评定特性时确定的最有可能达到的参数标准。实际典型值可能会随时间推移而变化，而且还取决于应用和配置。已发货生产材料未进行这些典型值测试，无法确保符合这些典型值。
- (4) 作为电压跟随器连接且输入阶跃为 V^- 至 V^+ 。标注的数字是正负压摆率中较低的值。
- (5) 以输入为参考， $R_L = 100\text{k}\Omega$ （连接至 $V^+/2$ ）。每个放大器依次以 1kHz 的频率接受激励以便产生 $V_O = 3\text{V}_{\text{PP}}$ （电源电压小于 3V 时， $V_O = V^+$ ）。

6.11 典型特性

$V_S = 5V$, 单电源, $T_A = 25^\circ C$ (除非另有说明)

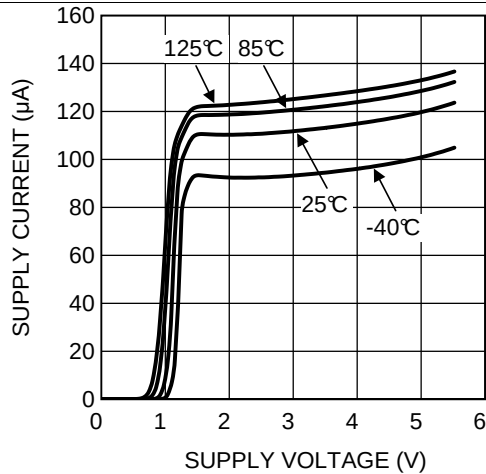


图 1. 电源电流与电源电压间的关系 (LMV611)

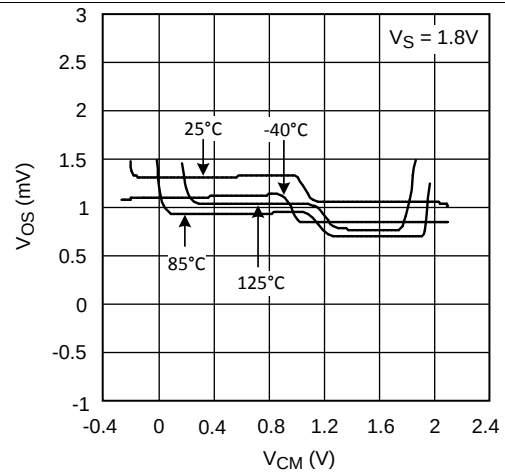


图 2. 失调电压与共模范围间的关系

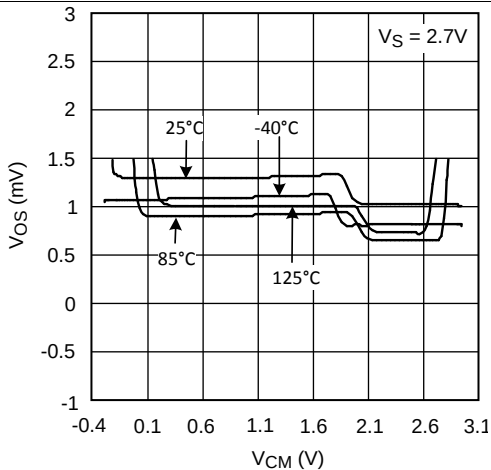


图 3. 失调电压与共模范围间的关系

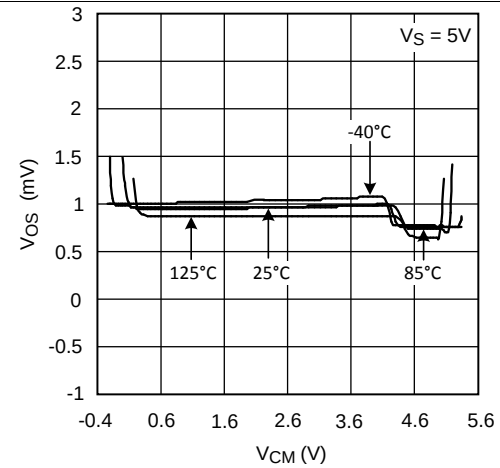


图 4. 失调电压与共模范围间的关系

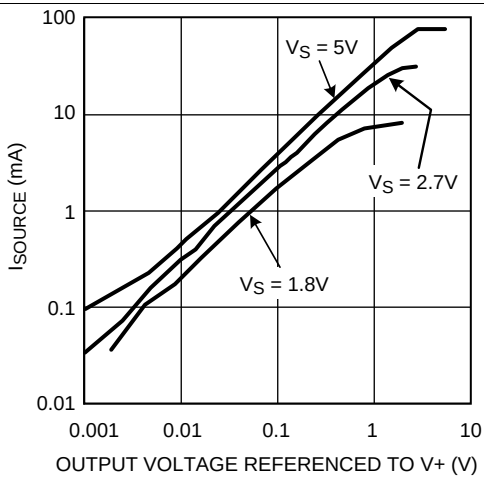


图 5. 拉电流与输出电压间的关系

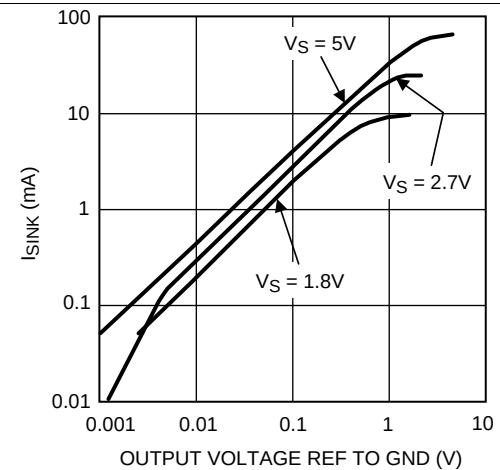


图 6. 灌电流与输出电压间的关系

典型特性 (接下页)

$V_S = 5V$, 单电源, $T_A = 25^\circ C$ (除非另有说明)

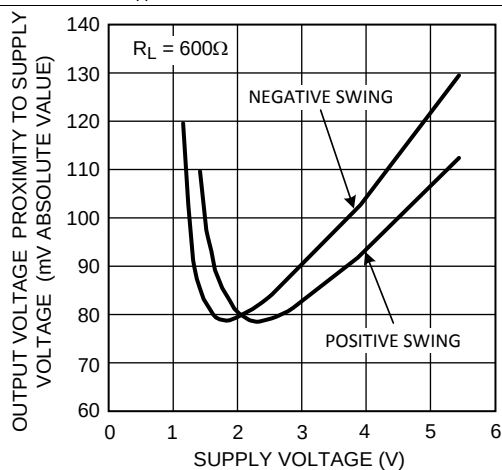


图 7. 输出电压摆幅与电源电压间的关系

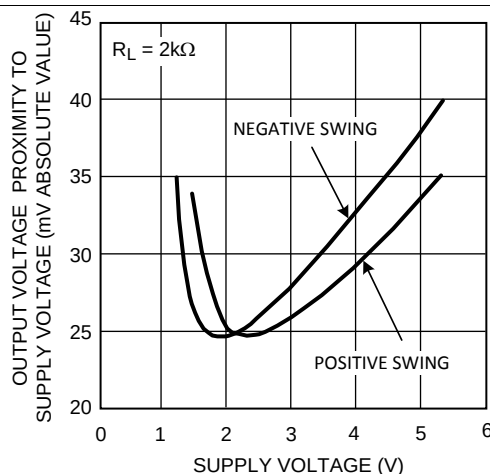


图 8. 输出电压摆幅与电源电压间的关系

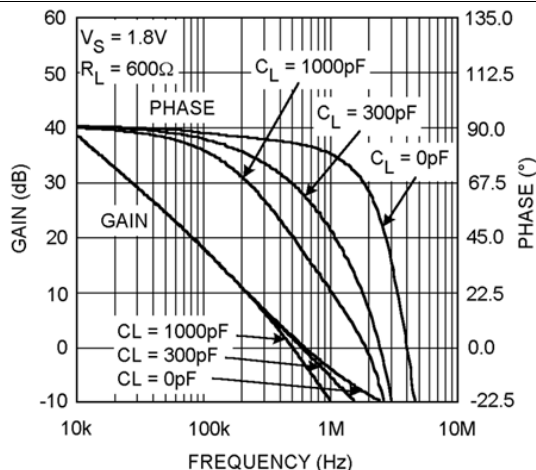


图 9. 增益和相位与频率间的关系

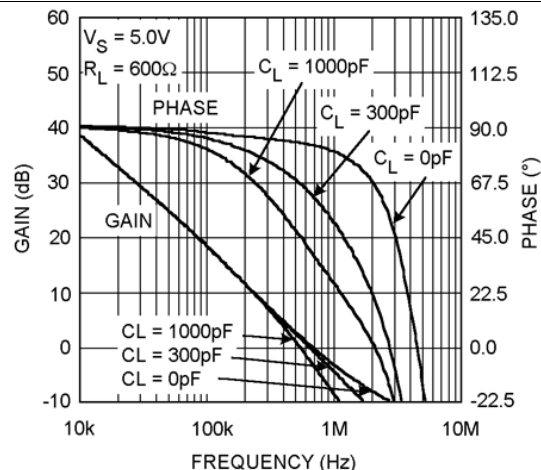


图 10. 增益和相位与频率间的关系

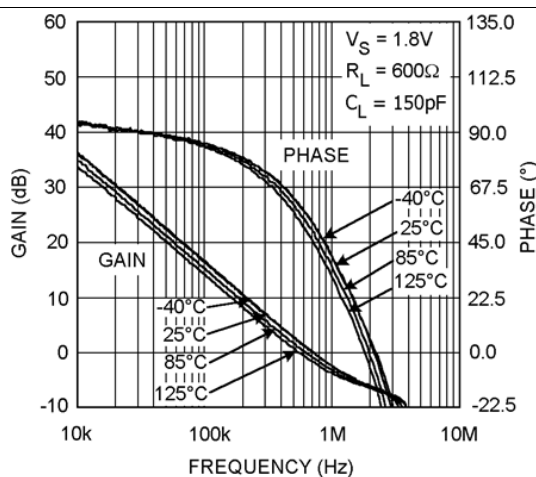


图 11. 增益和相位与频率间的关系

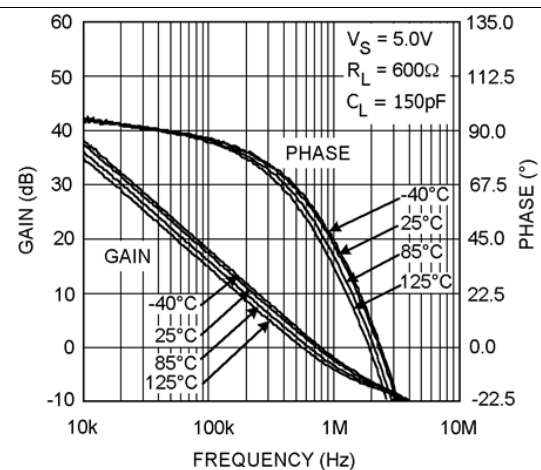


图 12. 增益和相位与频率间的关系

典型特性 (接下页)

$V_S = 5V$, 单电源, $T_A = 25^\circ C$ (除非另有说明)

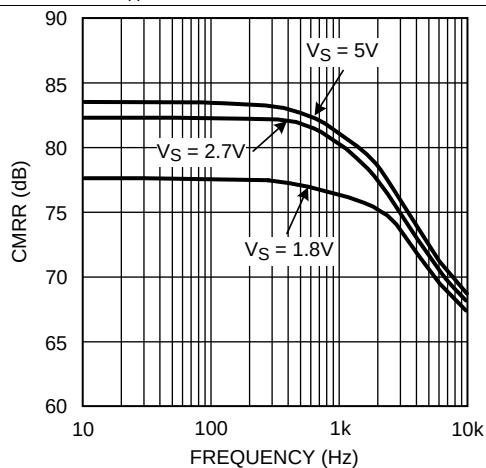


图 13. CMRR 与频率间的关系

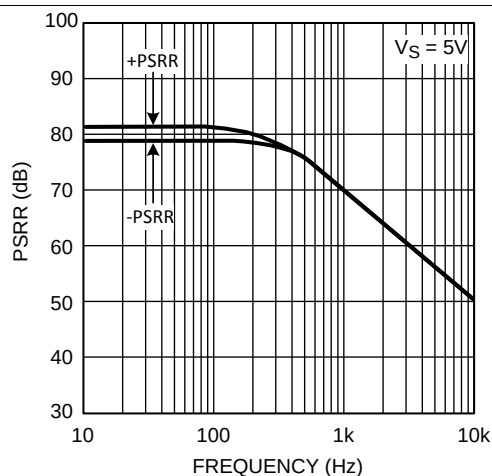


图 14. PSRR 与频率间的关系

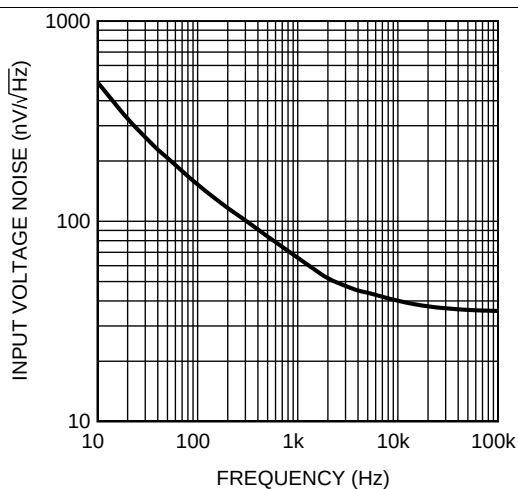


图 15. 输入电压噪声与频率间的关系

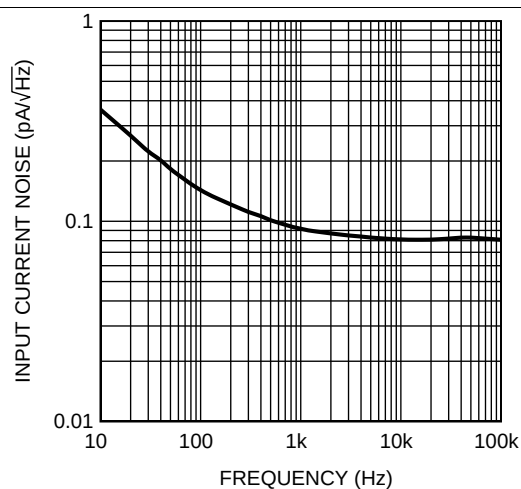


图 16. 输入电流噪声与频率间的关系

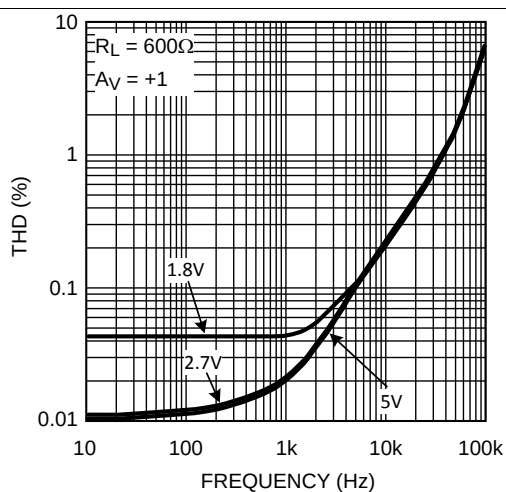


图 17. THD 与频率间的关系

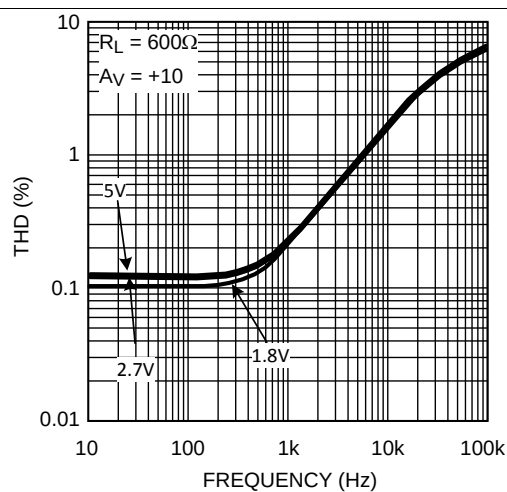
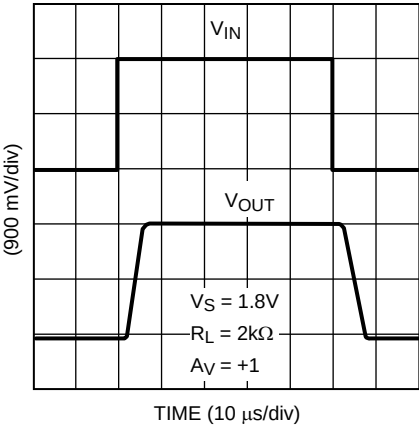
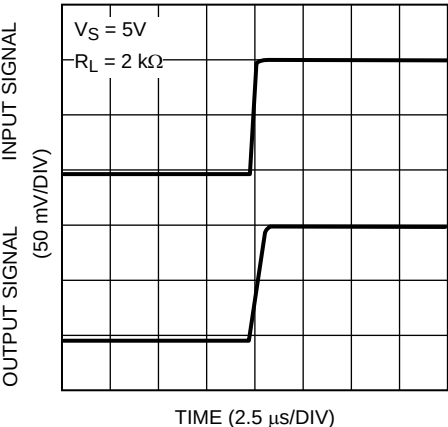
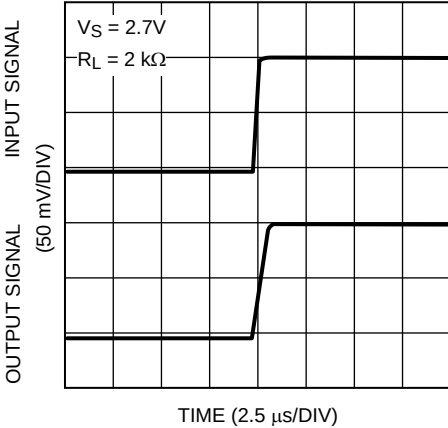
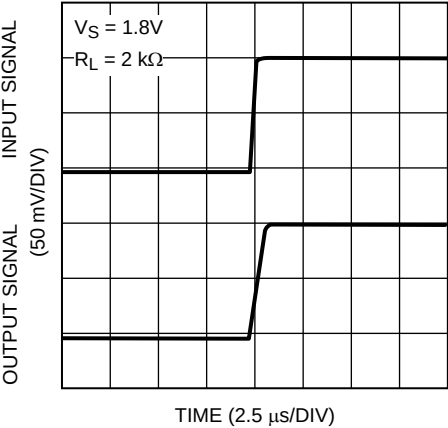
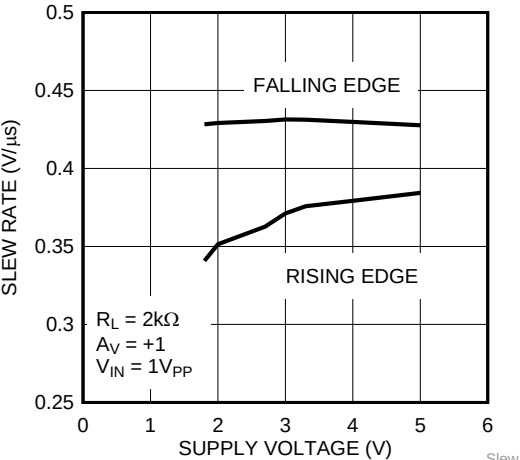
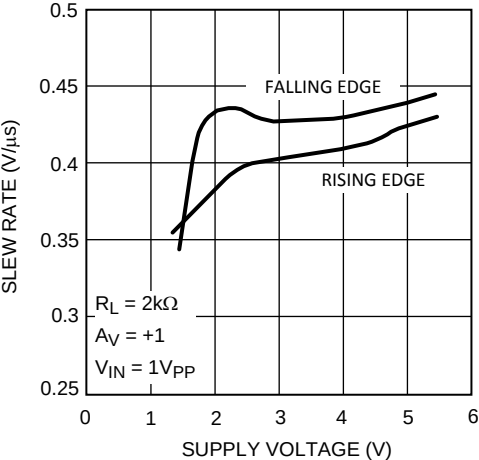


图 18. THD 与频率间的关系

典型特性 (接下页)

$V_S = 5V$, 单电源, $T_A = 25^{\circ}C$ (除非另有说明)



典型特性 (接下页)

$V_S = 5V$, 单电源, $T_A = 25^\circ C$ (除非另有说明)

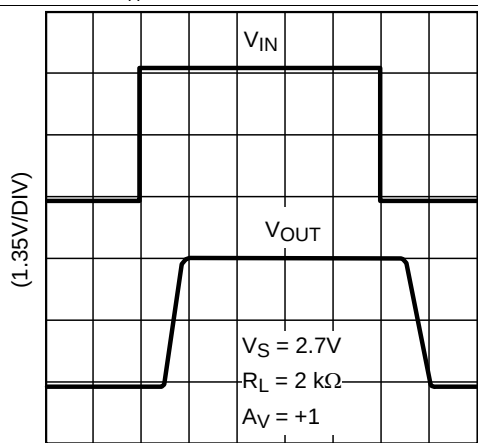


图 25. 大信号同相响应

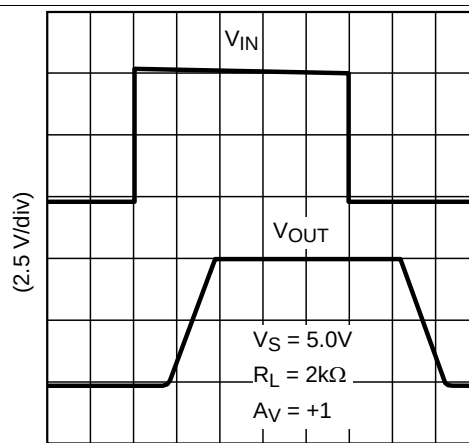


图 26. 大信号同相响应

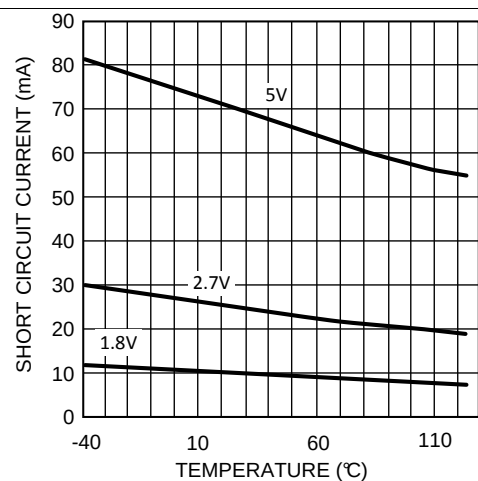


图 27. 短路电流与温度间的关系 (灌电流)

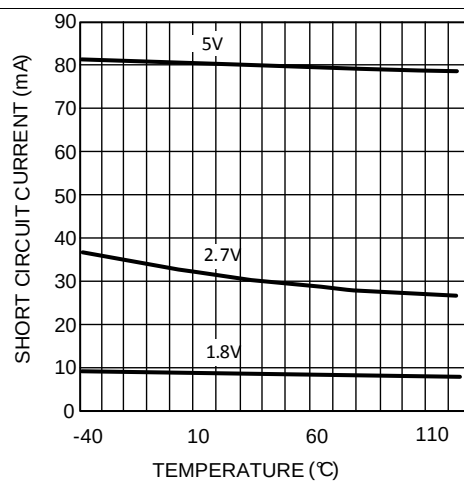


图 28. 短路电流与温度间的关系 (拉电流)

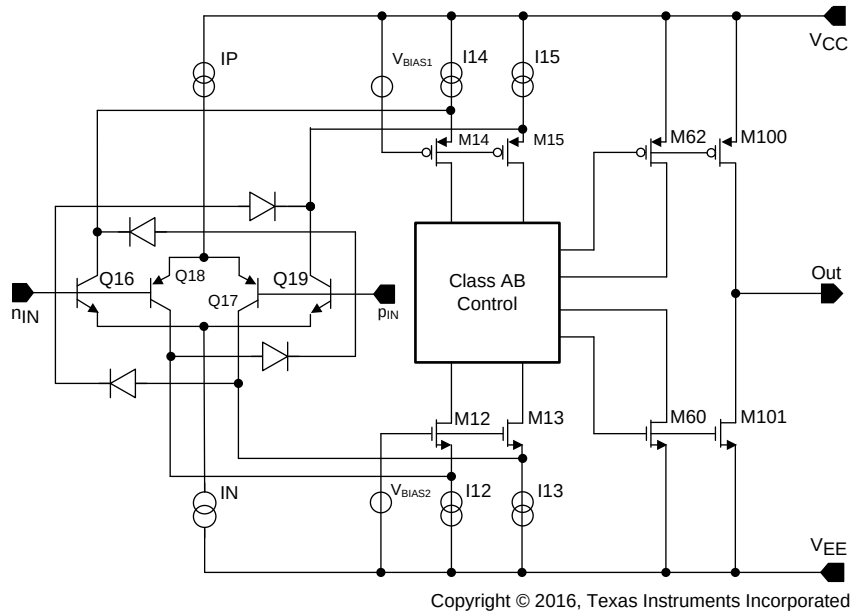
7 详细 说明

7.1 概述

当消耗的静态电流为 $100\mu\text{A}$ （典型值）时，LMV61x 器件可实现 1.4MHz 的增益带宽。它们还提供最大输入失调电压为 4mV 的轨至轨输入。最后，LMV61x 输入共模在电源基础上向外扩展了 200mV ，无负载时提供轨至轨输出摆幅，

而在由 1.8V 电源供电且负载为 $2\text{k}\Omega$ 时提供 30mV 以内的输出电压。

7.2 功能框图



7.3 特性 说明

7.3.1 输入和输出级

此系列器件的轨至轨输入级可为设计人员提供更多灵活性。LMV61x 采用互补的 PNP 和 NPN 输入级，其中的 PNP 级可感测 V^- 附近的共模电压，而 NPN 级可感测 V^+ 附近的共模电压。从 PNP 级到 NPN 级的转换发生在 V^+ 下方 1V 位置。由于两个输入级都有自己的失调电压，因此放大器的失调电压将成为输入共模电压的函数，并且其交叉点位于 V^+ 下方 1V 位置。

如不采取适当的预防措施，这个 V_{OS} 交叉点可能会给直流耦合和交流耦合信号带来问题。包含 V_{OS} 交叉点的大输入信号会导致输出信号失真。避免这种失真的一种方法是让信号远离交叉点。例如，在单位增益缓冲器配置中，当 $V_S = 5\text{V}$ 时， 5V 峰间信号包含输入交越失真，而以 1.5V 为中心的 3V 峰间信号不包含输入交越失真，因为它避开了交叉点。避免大信号失真的另一种方法是使用增益为 -1 的电路，该电路可避免放大器输入端子处发生任何电压偏移。在该电路中，共模直流电压可设置为远离 V_{OS} 交叉点的电平。对于小信号， V_{OS} 发生的这种转换表现为与输入信号串联并与 V_{CM} 相关的杂散信号，并且可有效地使小信号参数（如增益和共模抑制比）降级。为了解决此问题，放置小信号时必须让其避开 V_{OS} 交叉点。除了轨至轨性能外，输出级还可提供足够的输出电流来驱动 600Ω 负载。由于器件具有高电流能力，请注意不要超过 150°C 的最大结温规格。

7.4 器件功能模式

7.4.1 输入偏置电流注意事项

LMV61x 系列具有互补双极输入级。输入偏置电流 (I_B) 典型值为 15nA。输入偏置电流可产生较大的失调电压。此失调电压主要归因于 I_B 流经负反馈电阻器 R_F 。例如, 如果 I_B 为 50nA 且 R_F 为 100k Ω , 则会产生 5mV 的失调电压 ($V_{OS} = I_B \times R_F$)。使用补偿电阻器 (R_C) (如图 29 所示) 可以消除这种影响。但是, 输入失调电流 (I_{OS}) 仍以同样的方式影响失调电压。

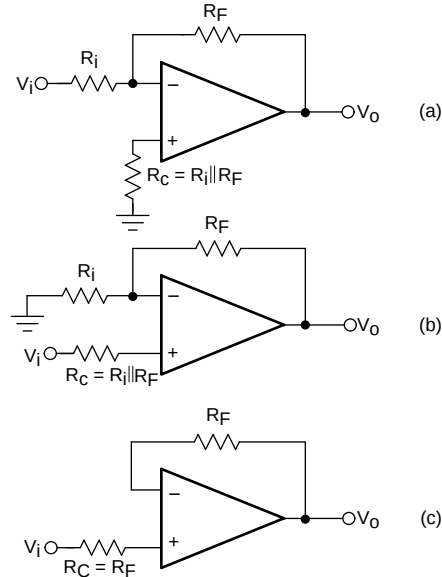


图 29. 消除因输入偏置电流而产生的失调电压

8 以下一些应用中

注

的应用和实现 信息 部分的信息不属于 TI 规格范围，TI 不担保其准确性和完整性。TI 的客户应负责确定组件是否适用于其应用。客户应验证并测试其设计是否能够实现，以确保系统功能。

8.1 应用信息

LMV61x 器件为低电压、低功耗系统带来了出色的性能、经济性和易用性。这些器件可向重负载提供轨至轨输入和轨至轨输出摆幅。

8.1.1 具有轨至地输出摆幅的半波整流器

由于 LMV61x 输入共模范围同时包括正电源轨和负电源轨，并且输出也可以摆动到任一电源轨，因此在任一方向实现半波整流器功能都非常容易。所需要的只是两个外部电阻器；不需要二极管和匹配的电容器。半波整流器可提供正向或负向输出，具体取决于电路布局。

在图 30 中，电路以地为参考，而在图 31 中，电路偏置于正电源。这些配置可实现半波整流器，因为 LMV61x 无法响应输入波形的一半。之所以无法响应输入波形的一半，是因为放大器无法将输出摆动到任一电源轨之外。所以，在这半个周期，输出会脱离。然而，在另半个周期内，放大器可以实现半波，且峰值可与总电源电压相等。 R_I 必须足够大以便不加载 LMV61x。

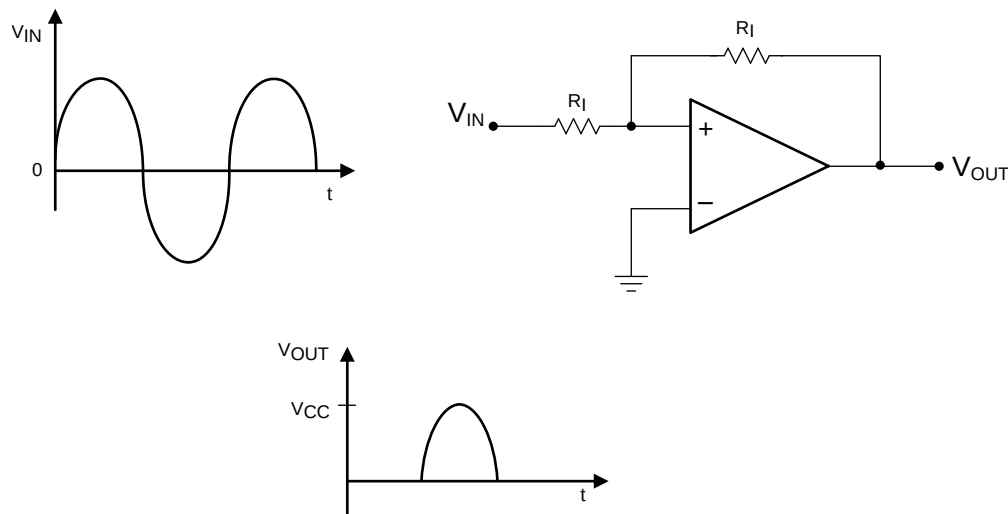
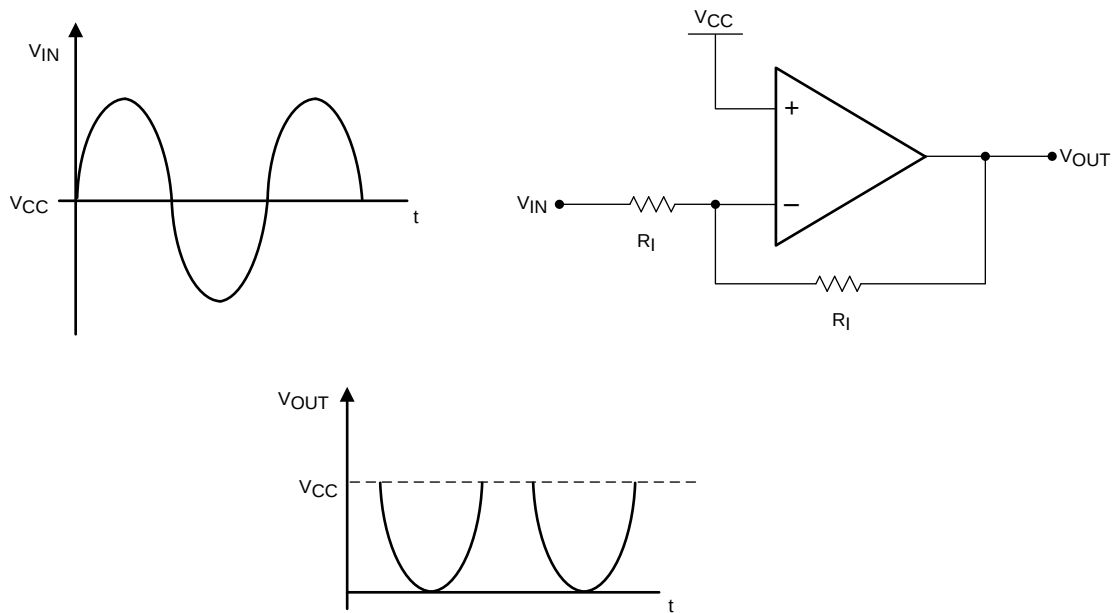


图 30. 半波整流器的轨至地输出摆幅以地为参考

应用信息 (接下页)

图 31. 半波整流器的负向输出以 V_{CC} 为参考

8.1.2 具有轨至轨输入和输出的仪表放大器

一些制造商通过在输入端使用电阻分压器使非轨至轨运算放大器变为轨至轨运算放大器。电阻器会将输入电压分压以获得轨至轨输入范围。这种方法的问题在于它也会将信号分割，所以为了获得所需的增益，放大器必须具有较高的闭环增益。这样就会按照内部增益系数提高噪声和漂移，并降低输入阻抗。此外，这些精密电阻器有任何不匹配都会降低 CMRR。LMV61x 是轨至轨放大器，因此不存在这些缺点。

使用三个 LMV61x 放大器可以设计出一种具有轨至轨输入和输出的仪表放大器（如图 32 所示）。

在以下示例中，左侧的放大器充当差分级的缓冲器。这些缓冲器可确保输入阻抗很高，并且无需在输入级使用精密匹配电阻器。它们还能确保差分放大器通过电压源驱动。为了维持 CMRR（通过匹配 R_1 - R_2 与 R_3 - R_4 进行设定），这是必要的。增益通过 R_2/R_1 的比值确定，并且 R_3 必须等于 R_1 ， R_4 必须等于 R_2 。在轨至轨输入和输出范围内，输入和输出仅受电源电压限制。请注意，即使具有轨至轨输出，输出也不能摆动越过电源，所以共模电压加上信号的组合值不得超过电源值，否则将实施限制。

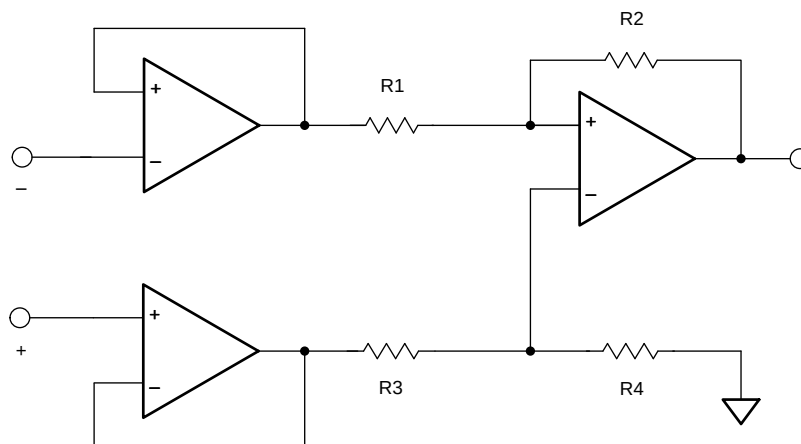
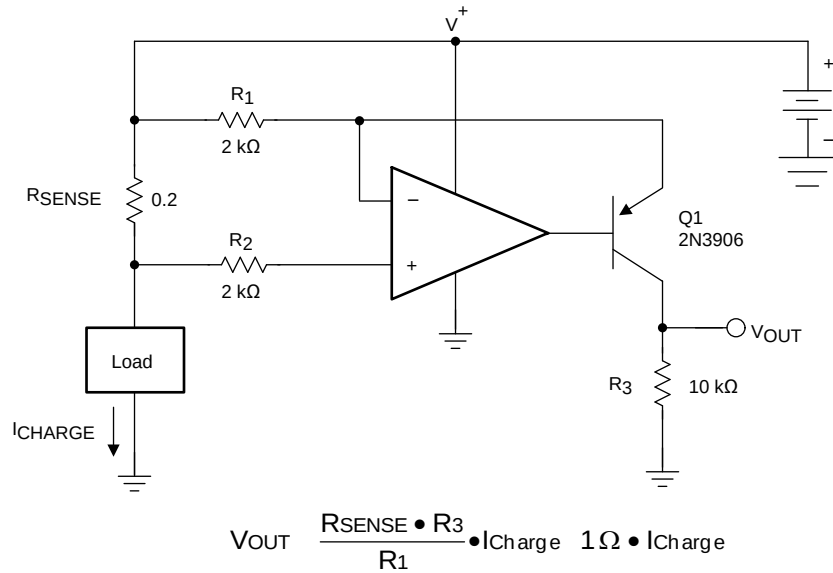


图 32. 轨至轨仪表放大器

8.2 典型应用

8.2.1 高侧电流检测



Copyright © 2016, Texas Instruments Incorporated

图 33. 高侧电流检测原理图

8.2.1.1 设计要求

高侧电流检测电路（图 33）通常在电池充电器中用于监测充电电流，从而防止过充。一个检测电阻器 R_{SENSE} 直接连接到电池。此系统需要一个具有轨至轨输入的运算放大器。LMV61x 是此应用的理想选择，因为它的共模输入范围能达到电源轨。

典型应用 (接下页)

8.2.1.1.1 使用 WEBENCH® 工具创建定制设计

请单击[此处](#)，使用 LMV61x 器件并借助 WEBENCH® 电源设计器创建定制设计方案。

1. 首先键入输入电压 (V_{IN})、输出电压 (V_{OUT}) 和输出电流 (I_{OUT}) 要求。
2. 使用优化器拨盘优化关键参数设计，如效率、封装和成本。
3. 将生成的设计与德州仪器 (TI) 的其他解决方案进行比较。

WEBENCH 电源设计器可提供定制原理图以及罗列实时价格和组件供货情况的物料清单。

在多数情况下，可执行以下操作：

- 运行电气仿真，观察重要波形以及电路性能
- 运行热性能仿真，了解电路板热性能
- 将定制原理图和布局方案导出至常用 CAD 格式
- 打印设计方案的 PDF 报告并与同事共享

有关 WEBENCH 工具的详细信息，请访问 [8.2.1.2 详细设计流程](#)

如图 33 所示， I_{CHARGE} 电流流经检测电阻器 R_{SENSE} 将产生等于 V_{SENSE} 的压降。负检测点处的电压现在小于正检测点的电压，此差值与 V_{SENSE} 电压成比例。

LMV61x 的低偏置电流通过 R_2 时产生的压降很小，因此 LMV61x 放大器的负输入与负检测输入处于基本相同的电位。

LMV61x 会检测其输入之间的这个电压误差，并驱使晶体管基极让更多电流通过 Q_1 ，从而增加 R_1 两端的压降，直到 LMV61x 反相输入与同相输入匹配为止。此时， R_1 上的压降与 V_{SENSE} 匹配。

I_G 电流与 I_{CHARGE} 成比例，并根据公式 1 运行。

$$I_G = V_{RSENSE} / R_1 = (R_{SENSE} \times I_{CHARGE}) / R_1 \quad (1)$$

I_G 也流经增益电阻器 R_3 ，从而产生等于公式 2 的压降。

$$V_3 = I_G \times R_3 = (V_{RSENSE} / R_1) \times R_3 = ((R_{SENSE} \times I_{CHARGE}) / R_2) \times R_3 \quad (2)$$

$$V_{OUT} = (R_{SENSE} \times I_{CHARGE}) \times G$$

其中

$$G = R_3 / R_1 \quad (3)$$

LMV61x 的另一个通道可用于缓冲 R_3 上的电压以驱动后续各级。

8.2.1.2.1 应用曲线

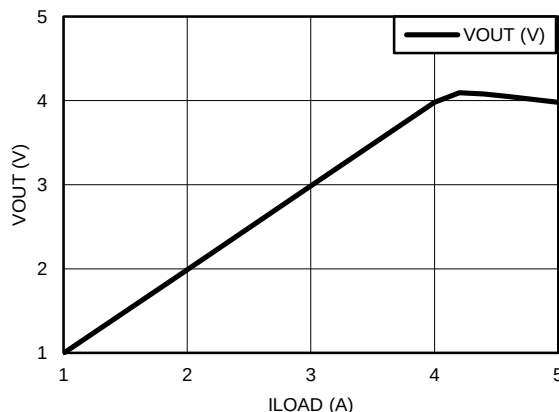


图 34. 高侧电流检测结果

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
LMV611MF/NOPB	ACTIVE	SOT-23	DBV	5	1000	RoHS & Green	SN	Level-1-260C-UNLIM	-40 to 125	AE9A	Samples
LMV611MFX/NOPB	ACTIVE	SOT-23	DBV	5	3000	RoHS & Green	SN	Level-1-260C-UNLIM	-40 to 125	AE9A	Samples
LMV611MG/NOPB	ACTIVE	SC70	DCK	5	1000	RoHS & Green	SN	Level-1-260C-UNLIM	-40 to 125	AVA	Samples
LMV611MGX/NOPB	ACTIVE	SC70	DCK	5	3000	RoHS & Green	SN	Level-1-260C-UNLIM	-40 to 125	AVA	Samples
LMV612MA/NOPB	ACTIVE	SOIC	D	8	95	RoHS & Green	SN	Level-1-260C-UNLIM	-40 to 125	LMV6 12MA	Samples
LMV612MAX/NOPB	ACTIVE	SOIC	D	8	2500	RoHS & Green	SN	Level-1-260C-UNLIM	-40 to 125	LMV6 12MA	Samples
LMV612MM/NOPB	ACTIVE	VSSOP	DGK	8	1000	RoHS & Green	NIPDAUAG SN	Level-1-260C-UNLIM	-40 to 125	AD9A	Samples
LMV612MMX/NOPB	ACTIVE	VSSOP	DGK	8	3500	RoHS & Green	NIPDAUAG SN	Level-1-260C-UNLIM	-40 to 125	AD9A	Samples
LMV614MA/NOPB	ACTIVE	SOIC	D	14	55	RoHS & Green	SN	Level-1-260C-UNLIM	-40 to 125	LMV614MA	Samples
LMV614MAX/NOPB	ACTIVE	SOIC	D	14	2500	RoHS & Green	SN	Level-1-260C-UNLIM	-40 to 125	LMV614MA	Samples
LMV614MT/NOPB	ACTIVE	TSSOP	PW	14	94	RoHS & Green	NIPDAU SN	Level-1-260C-UNLIM	-40 to 125	LMV61 4MT	Samples
LMV614MTX/NOPB	ACTIVE	TSSOP	PW	14	2500	RoHS & Green	NIPDAU SN	Level-1-260C-UNLIM	-40 to 125	LMV61 4MT	Samples

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSOLETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

⁽³⁾ MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

⁽⁴⁾ There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

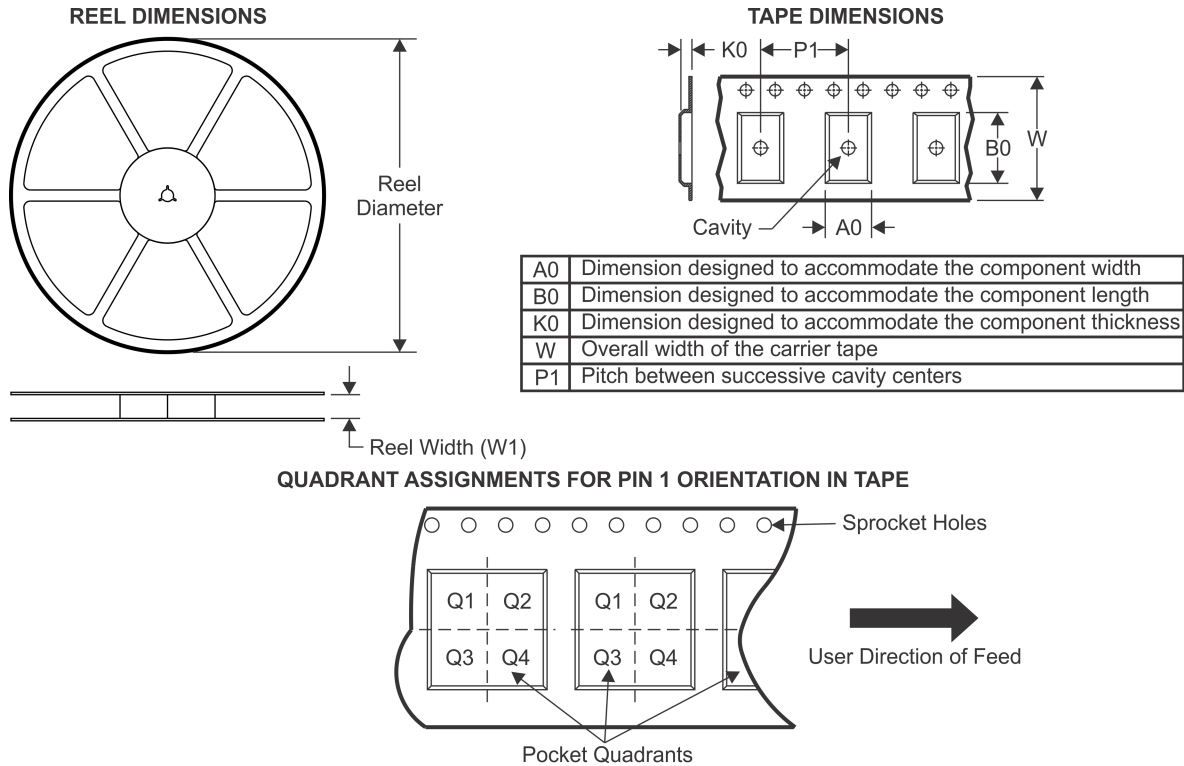
⁽⁵⁾ Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

⁽⁶⁾ Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

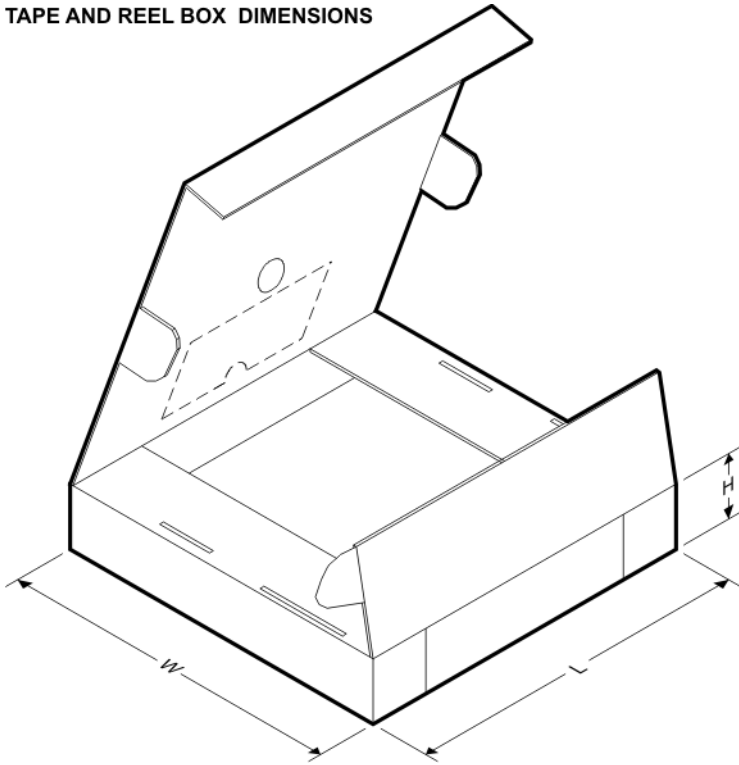
TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
LMV611MF/NOPB	SOT-23	DBV	5	1000	178.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
LMV611MFX/NOPB	SOT-23	DBV	5	3000	178.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
LMV611MG/NOPB	SC70	DCK	5	1000	178.0	8.4	2.25	2.45	1.2	4.0	8.0	Q3
LMV611MGX/NOPB	SC70	DCK	5	3000	178.0	8.4	2.25	2.45	1.2	4.0	8.0	Q3
LMV612MAX/NOPB	SOIC	D	8	2500	330.0	12.4	6.5	5.4	2.0	8.0	12.0	Q1
LMV612MM/NOPB	VSSOP	DGK	8	1000	178.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
LMV612MMX/NOPB	VSSOP	DGK	8	3500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
LMV614MAX/NOPB	SOIC	D	14	2500	330.0	16.4	6.5	9.35	2.3	8.0	16.0	Q1
LMV614MTX/NOPB	TSSOP	PW	14	2500	330.0	12.4	6.95	5.6	1.6	8.0	12.0	Q1
LMV614MTX/NOPB	TSSOP	PW	14	2500	330.0	12.4	6.95	5.6	1.6	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS

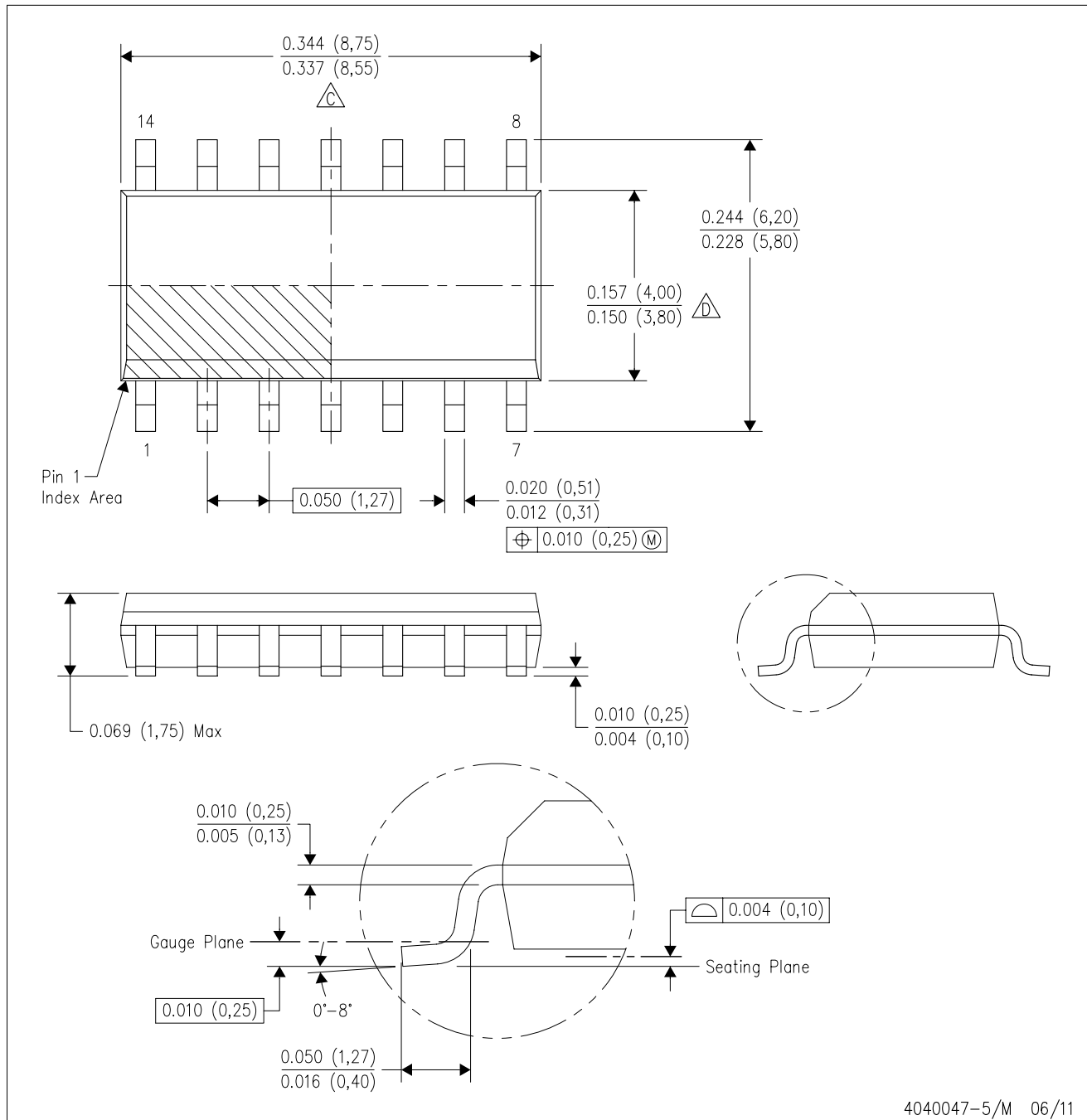


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
LMV611MF/NOPB	SOT-23	DBV	5	1000	208.0	191.0	35.0
LMV611MFX/NOPB	SOT-23	DBV	5	3000	208.0	191.0	35.0
LMV611MG/NOPB	SC70	DCK	5	1000	208.0	191.0	35.0
LMV611MGX/NOPB	SC70	DCK	5	3000	208.0	191.0	35.0
LMV612MAX/NOPB	SOIC	D	8	2500	367.0	367.0	35.0
LMV612MM/NOPB	VSSOP	DGK	8	1000	208.0	191.0	35.0
LMV612MMX/NOPB	VSSOP	DGK	8	3500	367.0	367.0	35.0
LMV614MAX/NOPB	SOIC	D	14	2500	367.0	367.0	35.0
LMV614MTX/NOPB	TSSOP	PW	14	2500	367.0	367.0	35.0
LMV614MTX/NOPB	TSSOP	PW	14	2500	853.0	449.0	35.0

D (R-PDSO-G14)

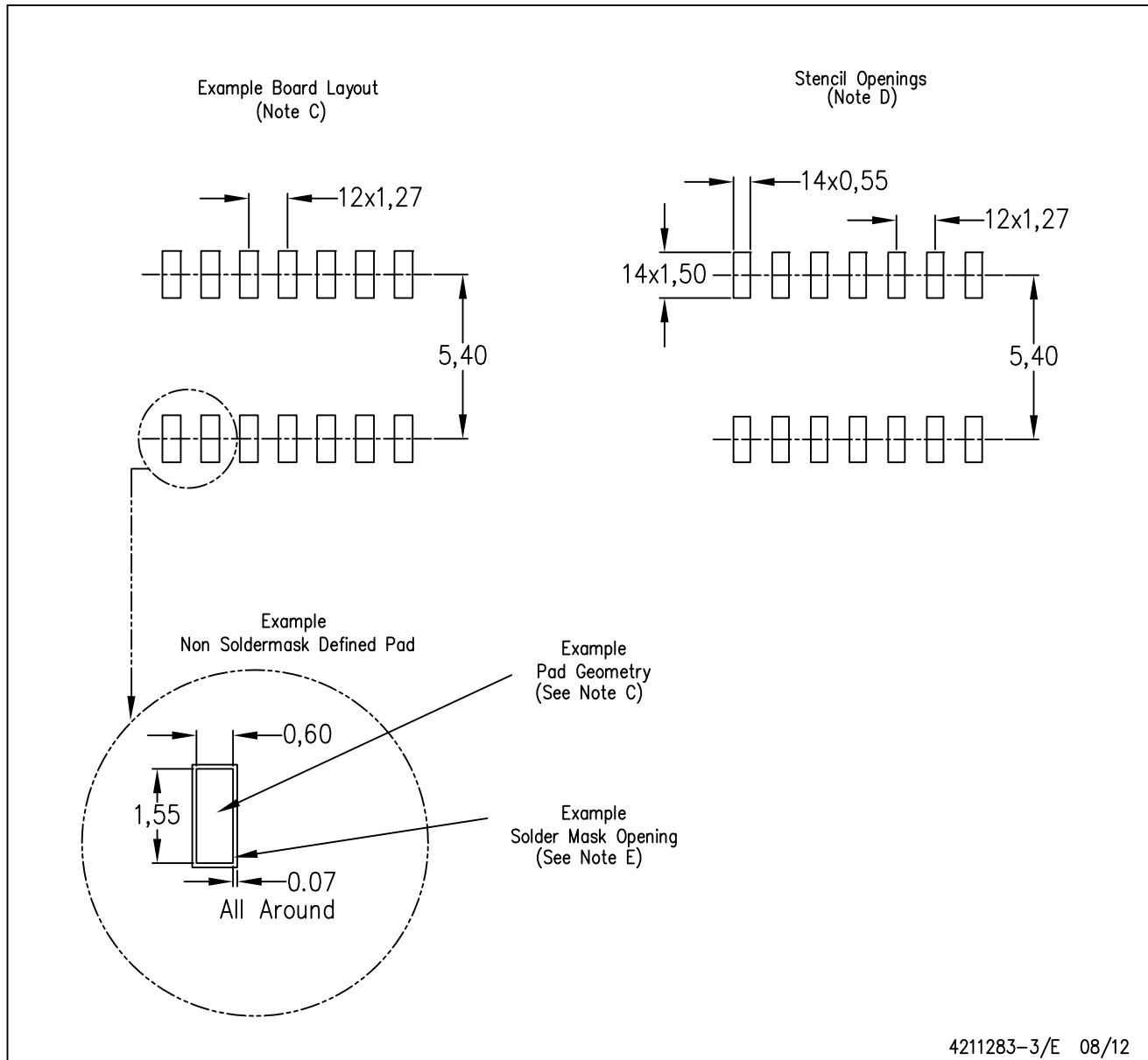
PLASTIC SMALL OUTLINE



- NOTES:
- A. All linear dimensions are in inches (millimeters).
 - B. This drawing is subject to change without notice.
 - C. Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.006 (0,15) each side.
 - D. Body width does not include interlead flash. Interlead flash shall not exceed 0.017 (0,43) each side.
 - E. Reference JEDEC MS-012 variation AB.

D (R-PDSO-G14)

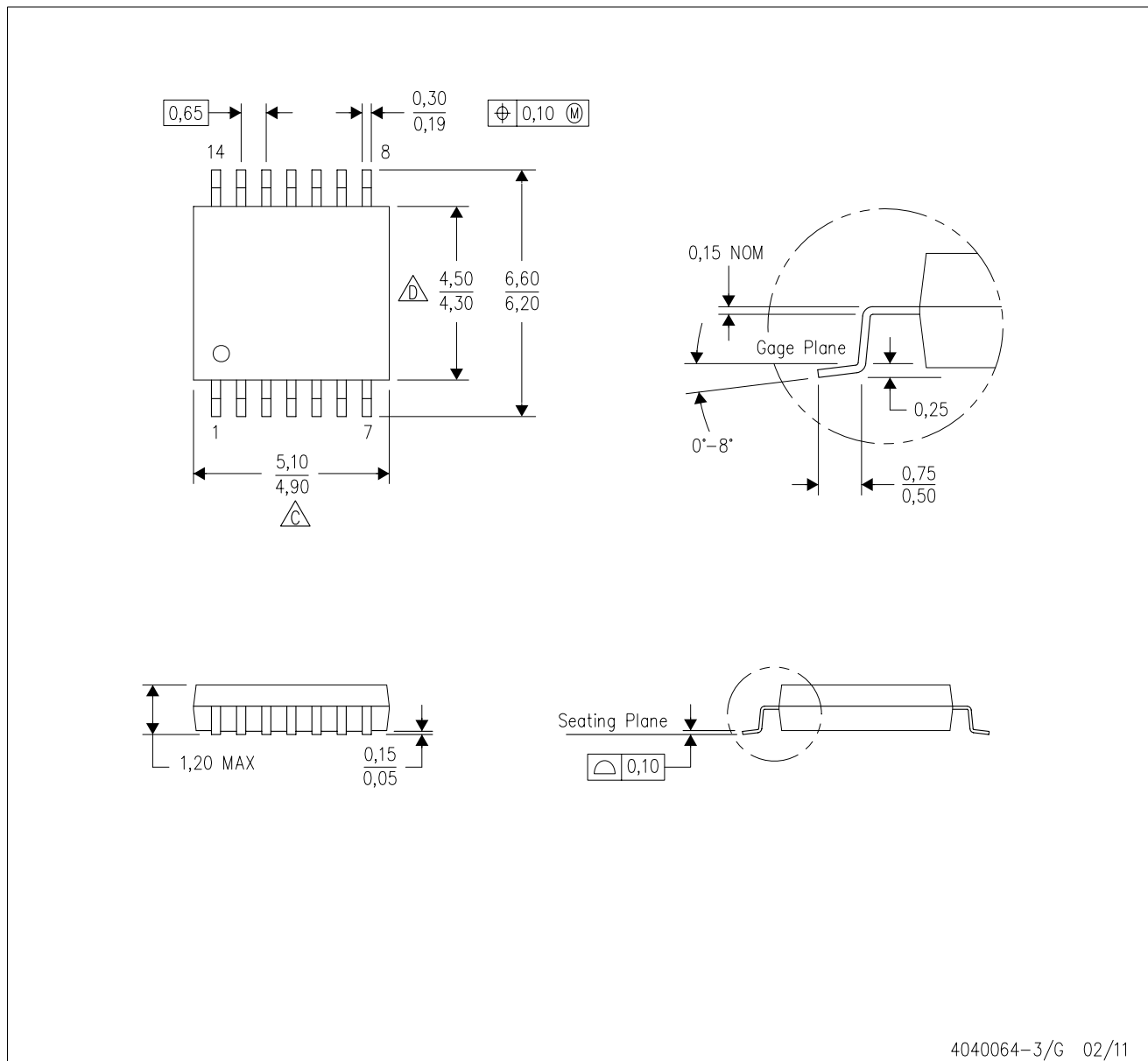
PLASTIC SMALL OUTLINE



- NOTES:
- A. All linear dimensions are in millimeters.
 - B. This drawing is subject to change without notice.
 - C. Publication IPC-7351 is recommended for alternate designs.
 - D. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC-7525 for other stencil recommendations.
 - E. Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.

PW (R-PDSO-G14)

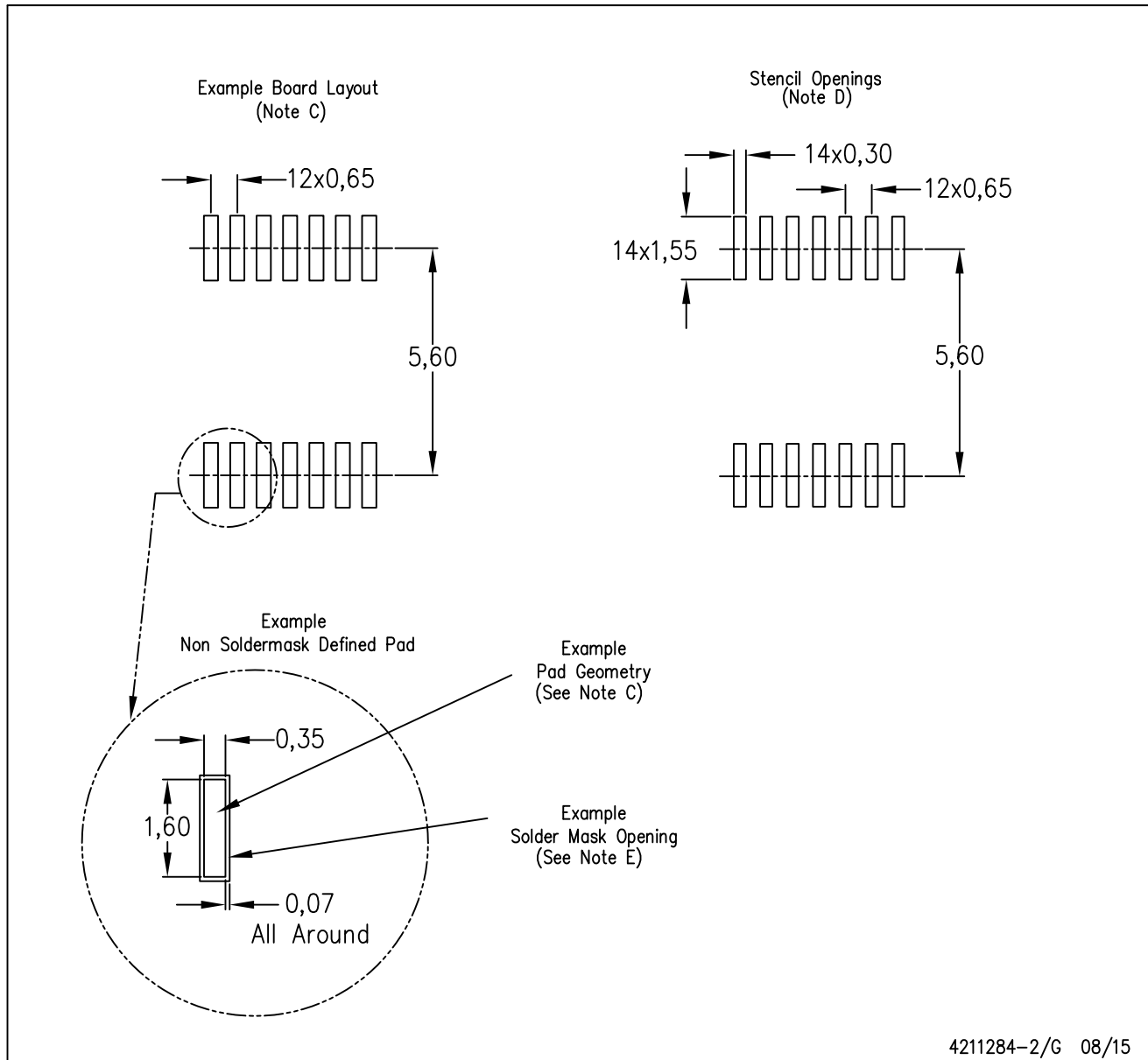
PLASTIC SMALL OUTLINE



- NOTES:
- A. All linear dimensions are in millimeters. Dimensioning and tolerancing per ASME Y14.5M-1994.
 - B. This drawing is subject to change without notice.
 - △ C Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0,15 each side.
 - △ D Body width does not include interlead flash. Interlead flash shall not exceed 0,25 each side.
 - E. Falls within JEDEC MO-153

PW (R-PDSO-G14)

PLASTIC SMALL OUTLINE



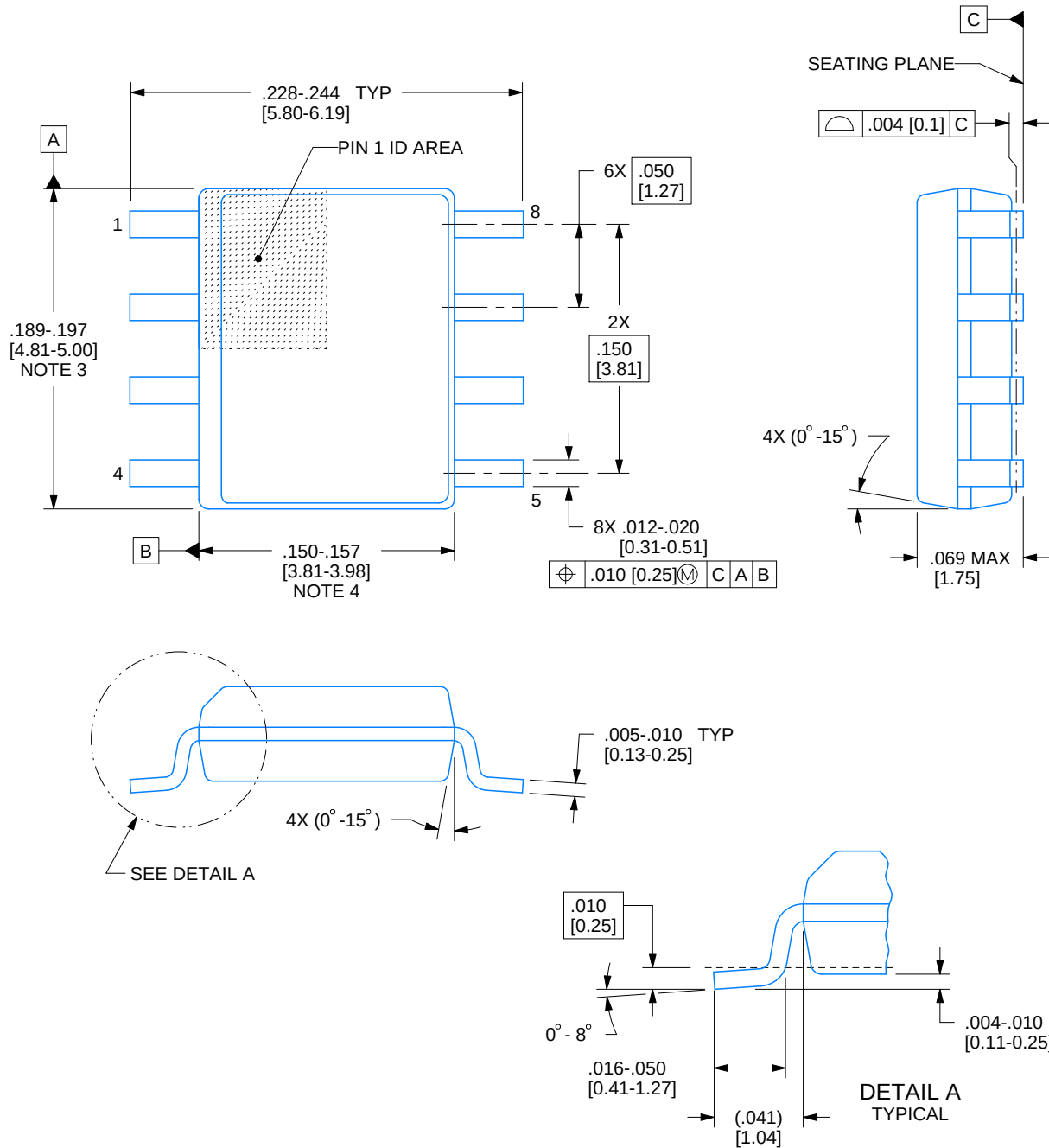
- NOTES:
- All linear dimensions are in millimeters.
 - This drawing is subject to change without notice.
 - Publication IPC-7351 is recommended for alternate designs.
 - Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC-7525 for other stencil recommendations.
 - Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.

D0008A

PACKAGE OUTLINE

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



4214825/C 02/2019

NOTES:

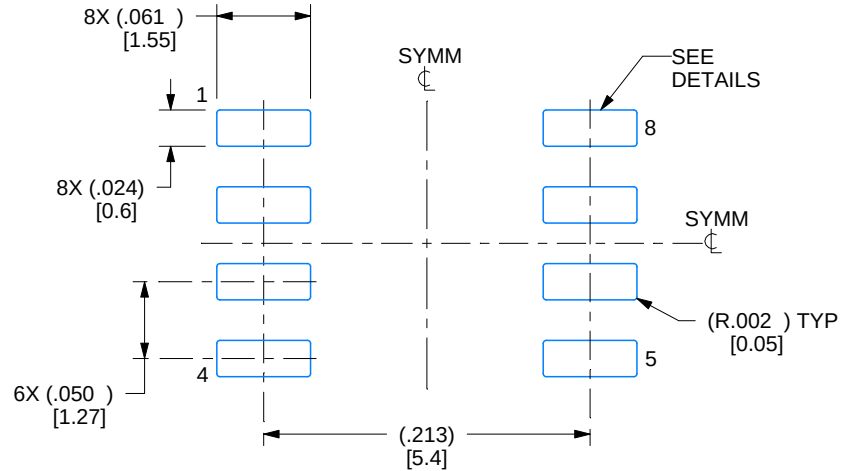
1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.

EXAMPLE BOARD LAYOUT

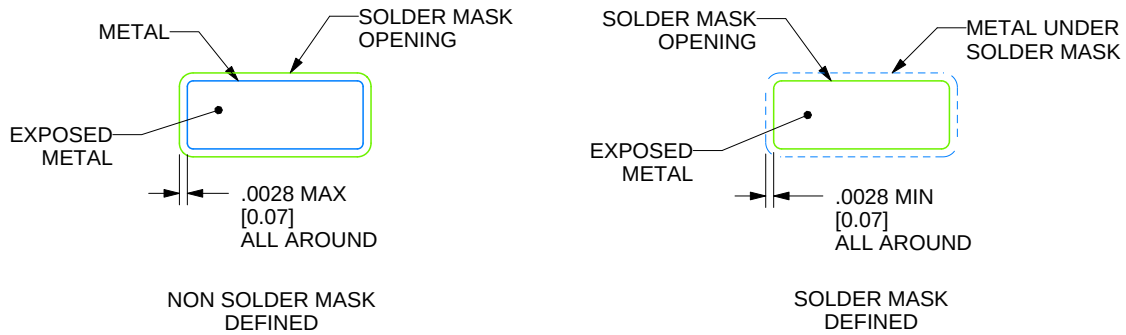
D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

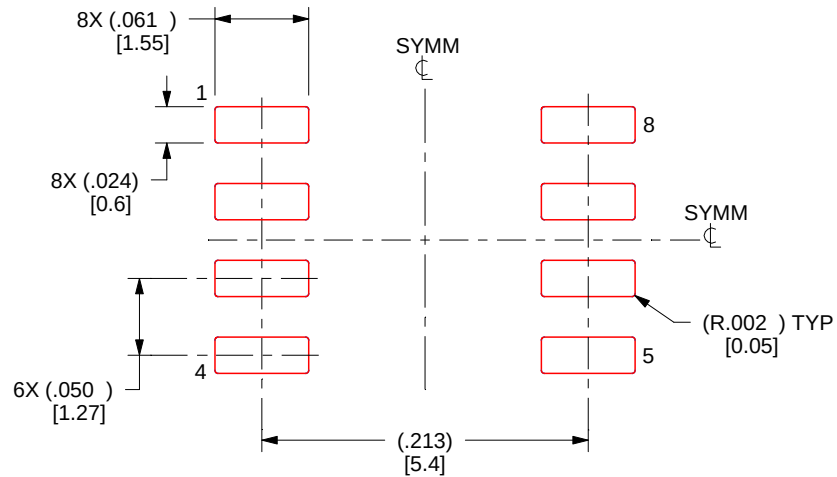
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

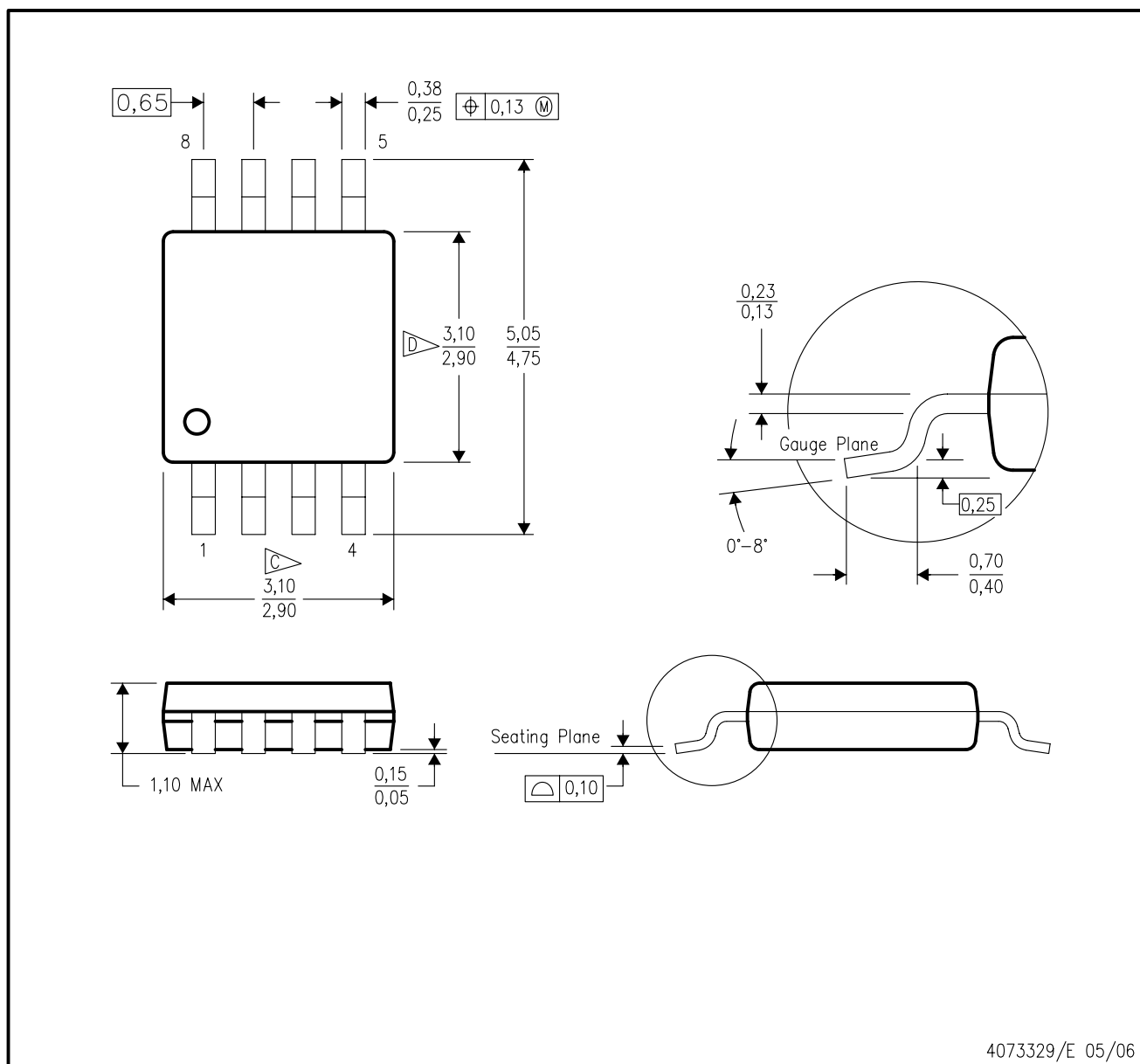
4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

DGK (S-PDSO-G8)

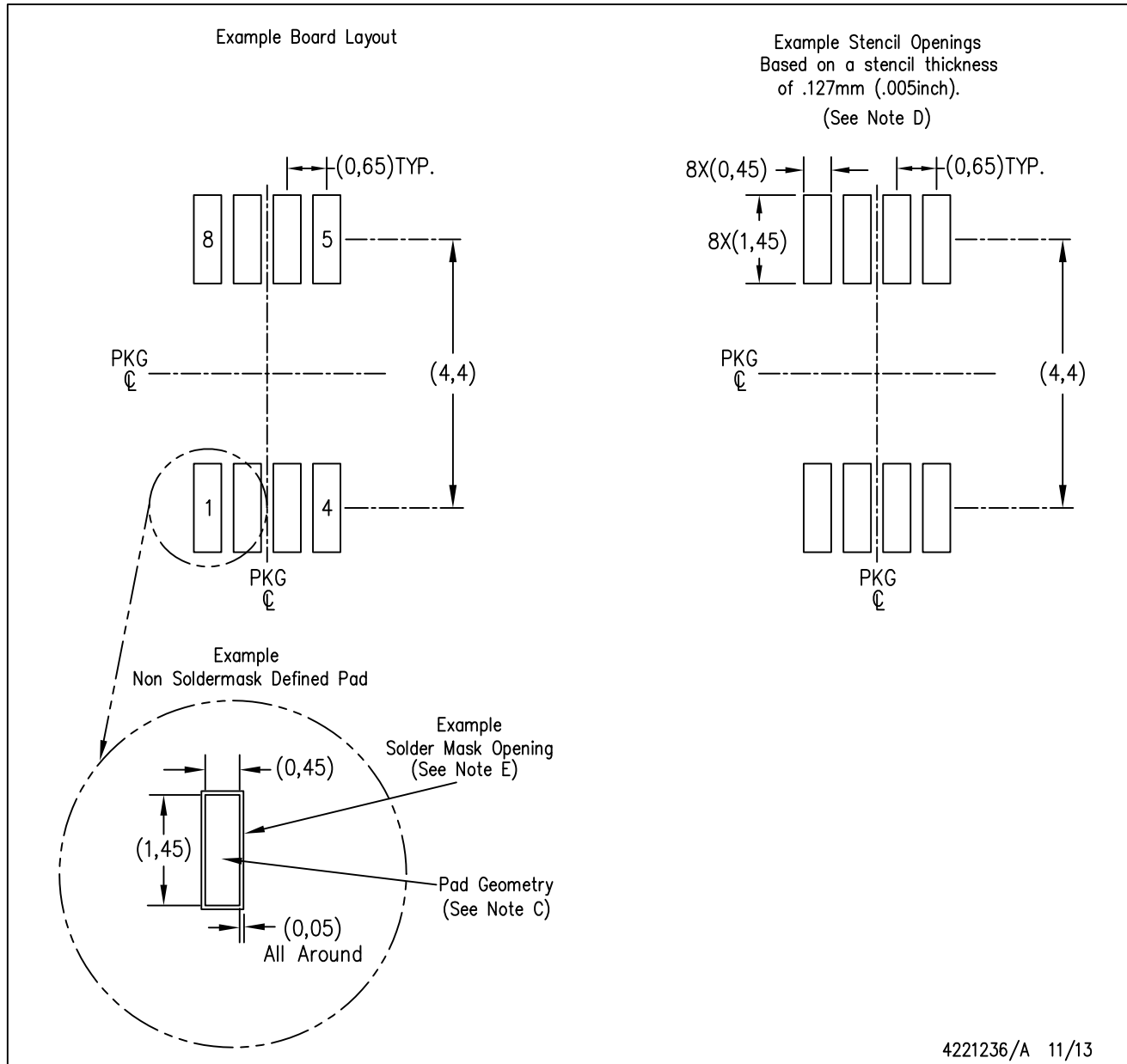
PLASTIC SMALL-OUTLINE PACKAGE



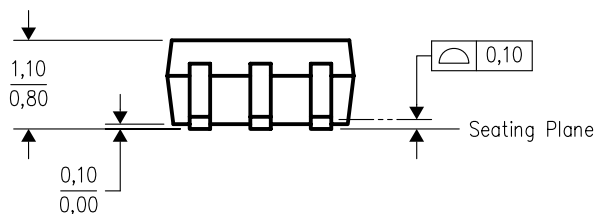
- NOTES:
- A. All linear dimensions are in millimeters.
 - B. This drawing is subject to change without notice.
 - C** Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 per end.
 - D** Body width does not include interlead flash. Interlead flash shall not exceed 0.50 per side.
 - E. Falls within JEDEC MO-187 variation AA, except interlead flash.

DGK (S-PDSO-G8)

PLASTIC SMALL OUTLINE PACKAGE



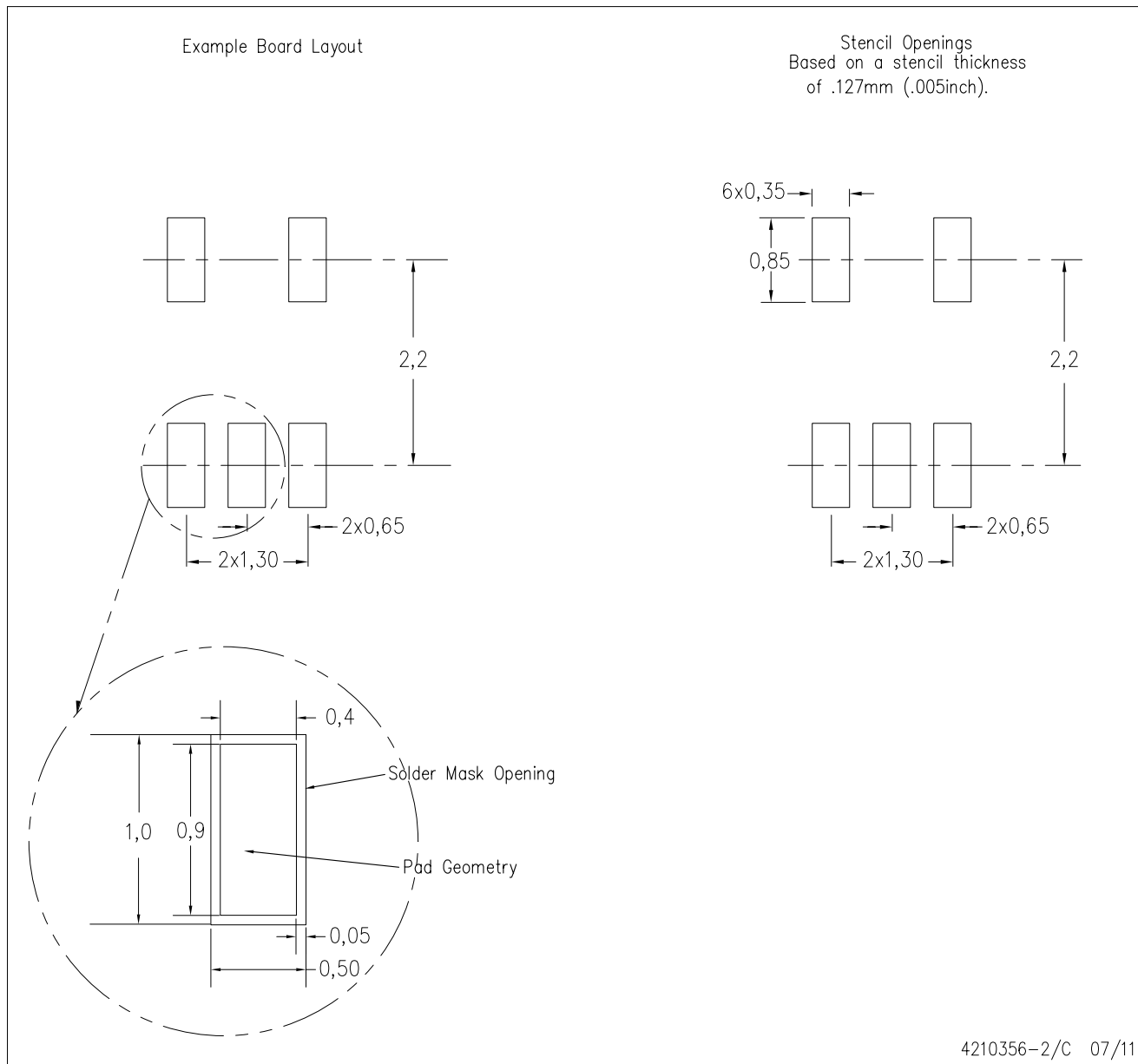
- NOTES:
- A. All linear dimensions are in millimeters.
 - B. This drawing is subject to change without notice.
 - C. Publication IPC-7351 is recommended for alternate designs.
 - D. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC-7525 for other stencil recommendations.
 - E. Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.



- NOTES: A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Body dimensions do not include mold flash or protrusion. Mold flash and protrusion shall not exceed 0.15 per side.
D. Falls within JEDEC MO-203 variation AA.

DCK (R-PDSO-G5)

PLASTIC SMALL OUTLINE



- NOTES:
- A. All linear dimensions are in millimeters.
 - B. This drawing is subject to change without notice.
 - C. Customers should place a note on the circuit board fabrication drawing not to alter the center solder mask defined pad.
 - D. Publication IPC-7351 is recommended for alternate designs.
 - E. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Example stencil design based on a 50% volumetric metal load solder paste. Refer to IPC-7525 for other stencil recommendations.

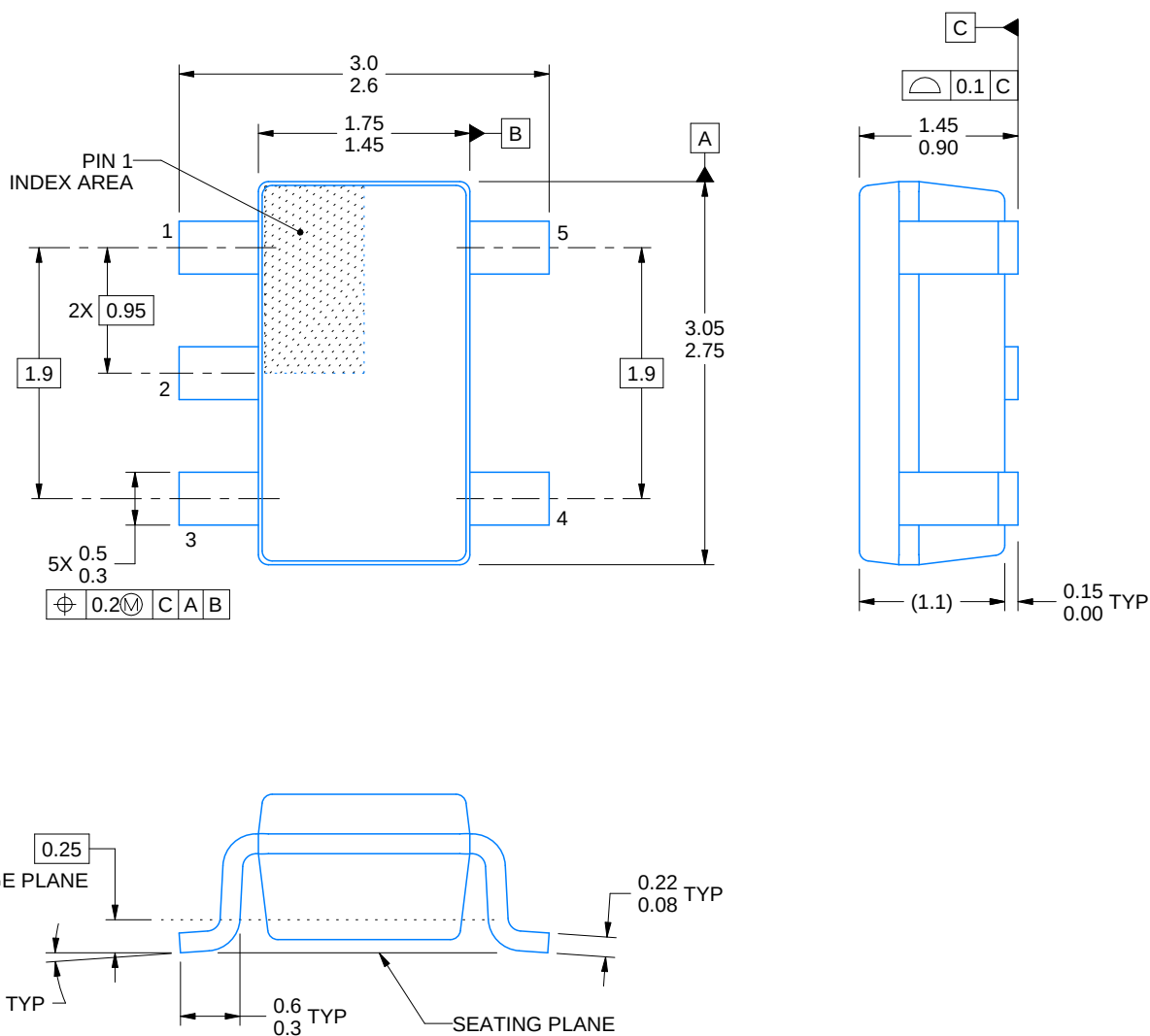


DBV0005A

PACKAGE OUTLINE

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



4214839/F 06/2021

NOTES:

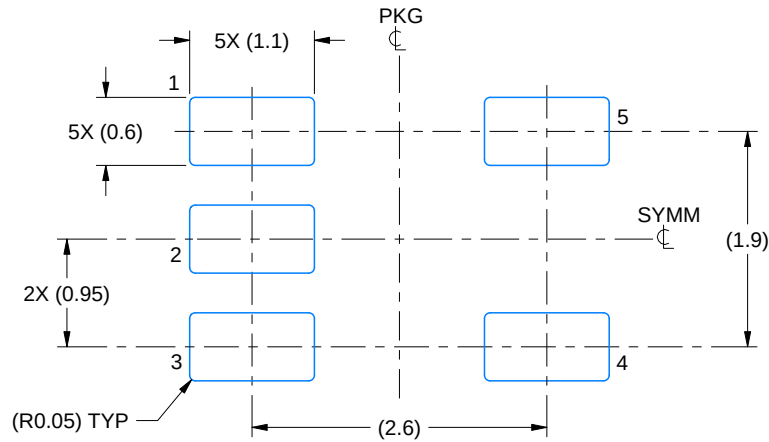
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Reference JEDEC MO-178.
4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.

EXAMPLE BOARD LAYOUT

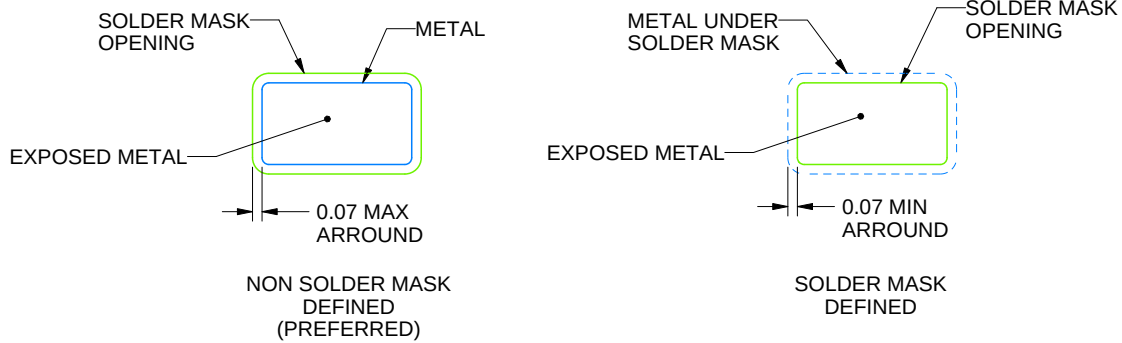
DBV0005A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X



SOLDER MASK DETAILS

4214839/F 06/2021

NOTES: (continued)

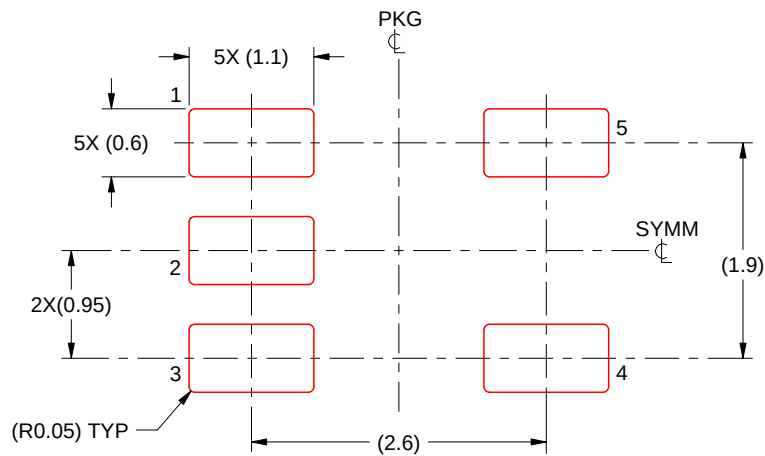
5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DBV0005A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/F 06/2021

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.